

Transportuntersuchungen an Einzelelektronentransistoren auf Basis CMOS-kompatibler Silizium-MOSFETs

Dissertation

der Mathematisch-Naturwissenschaftlichen Fakultät
der Eberhard Karls Universität Tübingen
zur Erlangung des Grades eines
Doktors der Naturwissenschaften
(Dr. rer. nat.)

vorgelegt von
Matthias Ruoff
aus Göppingen

Tübingen
2015

Gedruckt mit Genehmigung der Mathematisch-Naturwissenschaftlichen Fakultät
der Eberhard Karls Universität Tübingen.

Tag der mündlichen Qualifikation: 05.08.2016

Dekan: Prof. Dr. Wolfgang Rosenstiel

1. Berichterstatter: Prof. Dr. Dieter Kern

2. Berichterstatter: Prof. Dr. David Wharam

Kurzfassung

Einzelelektronentransistoren sind vielversprechende Kandidaten für einen Ersatz konventioneller Transistoren, wenn diese aufgrund zunehmender Miniaturisierung an ihre Grenzen stoßen und nicht mehr zuverlässig funktionieren. Desweiteren können sie als ausgezeichnete Ladungssensoren in zahlreichen Anwendungen eingesetzt werden, um Ladungsänderungen bis auf ein Elektron genau aufzulösen. Im Zuge des EU-Projekts AFSID, in dessen Rahmen diese Arbeit entstand, wurden Einzelelektronentransistoren auf MOSFET-Basis zum ersten Mal großintegriert auf einer CMOS-Plattform hergestellt. Die kleinsten Gatelängen der so gefertigten Einzelelektronentransistoren betragen nur 20 nm und ermöglichen hohe Ladeenergien mit theoretischen Betriebstemperaturen von bis zu 159 K. Elektrische Transportmessungen bei tiefen Temperaturen zeigen Coulomb-Blockade-Oszillationen und die charakteristischen Coulomb-Rauten. Die Kopplungsstärke zweier serieller Einzelelektronentransistoren konnte durch die Gatespannung variiert werden, was in unterschiedlichen Coulomb-Waben resultierte. In den Barrierenbereich diffundierte Dotieratome sowie Einzelelektroneneffekte im Polysiliziumgate konnten anhand zusätzlicher Rauten und Strukturen im Stabilitätsdiagramm identifiziert werden. Es wurden elektrostatische Modelle entwickelt, deren Simulation stets gut mit den Messwerten übereinstimmten. Bei SET-FET-Hybrid-Strukturen konnten hysteretische Kennlinien im FET auf die Ladungscharakteristik des SETs zurückgeführt werden.

Inhaltsverzeichnis

1	Einleitung	1
2	Theorie der Coulomb-Blockade	5
2.1	Der Einzelelektronentransistor	5
2.1.1	Quasi-isolierte Insel	5
2.1.2	Schwach angekoppelte Insel	7
2.1.3	Bedingungen für Coulomb-Blockade	11
2.1.4	Temperaturabhängigkeit der Coulomb-Blockade- Oszillationen	12
2.1.5	Nichtlinearer Transport	14
2.1.6	Coulomb-Rauten	16
2.1.7	Coulomb-Treppen	18
2.1.8	Angeregte Zustände	19
2.2	Zwei seriell gekoppelte SETs	20
2.2.1	Elektrostatische Betrachtung zweier gekoppelter Inseln	21
2.2.2	Ladungsdiagramm	23
3	Proben und experimenteller Aufbau	28
3.1	Herstellung der MOSFETs	28
3.2	MOSFET als SET	30
3.3	AFSID-Proben	31
3.4	Messaufbau	32
3.4.1	DC-Messung	33
3.4.2	Lock-In-Messung	35
4	Elektrische Charakterisierung	37

5 Einzelgate-SETs	41
5.1 Auswirkung der Inselgeometrie	46
5.2 Beschreibung des Simulationsprogramms	50
5.3 Angeregte Zustände	51
5.4 Charakteristik eines Dotieratoms	53
5.5 Einzelelektronentransistoren im Magnetfeld	59
5.6 Polysiliziumgate-Effekte - Defekte im Polysiliziumgate . .	64
6 Gekoppelte SETs	68
6.1 Doppelgate-SETs	69
6.2 Multigate-Strukturen	76
6.3 Verwendung des Backgates	81
7 SET-FET Hybride	92
8 Zusammenfassung und Ausblick	105
A Probenübersicht	108
Literaturverzeichnis	110

Kapitel 1

Einleitung

Die Erfindung des Bipolartransistors im Jahr 1947 kennzeichnet den Beginn der Halbleiterelektronik [BB48]. Durch verbesserte Fertigungsverfahren wie zum Beispiel die Planartechnik und die aufkommende Silizium-Halbleitertechnologie konnten Feldeffekttransistoren (FET) kostengünstig hergestellt werden und ersetzten in den 1960er-Jahren zunehmend die Bipolartransistoren in Logikschaltungen [SN06]. Den Durchbruch schafften die FETs durch die Entwicklung der CMOS (Complementary Metal Oxide Semiconductor)-Technologie [WS63] die sich durch geringen Leistungsbedarf beziehungsweise Verlustleistungen auszeichnet. Die Dimensionen der Transistoren, insbesondere die Gatelänge, verringern sich seither stetig. Dadurch steigt die Schaltgeschwindigkeit bei reduziertem Energie- und Platzbedarf. Dies ermöglicht immer komplexere, schnellere und gleichzeitig günstigere Prozessoren. Gordon Moore stellte 1965 fest, dass die Komplexität mit der Zeit exponentiell ansteigt und die Zahl der Transistoren in einem Prozessor sich etwa alle zwei Jahre verdoppelt [Moo65]. Das sogenannte Mooresche Gesetz ist zwar lediglich eine empirische Beobachtung, entspricht mittlerweile jedoch der Richtlinie für die zukünftige Entwicklung der verschiedenen beteiligten Komponenten. Die ITRS (International Technology Roadmap for Semiconductors) [ITR] orientiert sich am Mooreschen Gesetz und gibt, um eine wirtschaftliche Planung und Zusammenarbeit zu ermöglichen, für verschiedenste Bereiche wie zum Beispiel Design, Architektur oder Lithographie Anforderungen und Meilensteine vor, die die Industrie stets zu erreichen versucht. Aufgrund der hohen und ständig steigenden An-

forderungen der ITRS ist Silizium mittlerweile eines der am besten untersuchten Materialien und die Siliziumtechnologie hat einen hohen Grad der Perfektion erreicht. Dennoch kann die Verkleinerung der Strukturen nicht unbegrenzt fortgeführt werden, da Quanteneffekte wie Tunnelprozesse oder sogenannte Short-Channel Effekte bei kurzen Gate­längen die Funktion der Transistoren beeinträchtigen. So verschlechtert sich das An-/Aus-Verhältnis des Source-Drain-Stroms, parasitäre Kapazitäten beeinflussen die Charakteristik, die Schaltgeschwindigkeit wird reduziert und die Leistungsaufnahme aufgrund von Leckströmen erhöht. Um diesen Effekten entgegenzuwirken, werden für die Gateoxid-Schicht anstatt Siliziumoxid sogenannte High-k-Dielektrika wie zum Beispiel Hafniumoxid verwendet, die eine deutlich höhere Dielektrizitätszahl als Siliziumoxid besitzen. Eine bessere Gatekontrolle wird erreicht, indem das Gate den Kanal von mehreren Seiten umschließt [ITR][Int].

Die Funktionsweise von Einzelelektronentransistoren (engl: Single Electron Transistor; SET) beruht auf dem Effekt der Coulomb-Blockade. Dabei verschwindet die elektrische Leitfähigkeit einer Nanostruktur bei einer fest eingestellten kleinen Spannung, da die elektrische Kapazität zu klein ist um weitere Ladung aufzunehmen oder abzugeben. Da die elektrische Kapazität eines Objekts mit seiner Größe skaliert, ist dieser Effekt umso besser nutzbar je kleiner das Objekt ist. Die Eigenschaften von Einzelelektronentransistoren verbessern sich somit ebenfalls durch die Reduzierung der Strukturgröße und sind daher geeignete Kandidaten, um konventionelle Transistoren in Logikschaltungen und Speicherzellen abzulösen [OFN⁺05]. SETs sind zudem sehr empfindliche Ladungsdetektoren, was eine Vielzahl von Anwendungen ermöglicht. Die vielfältigen Einsatzmöglichkeiten werden in den einzelnen Kapiteln dieser Arbeit besprochen.

Diese Arbeit wurde im Zuge des Projekts AFSID (Atomic Functionalities on Silicon Devices) erstellt. Für AFSID [AFSa] wurden Einzelelektronentransistoren auf einer CMOS-Plattform gefertigt, welche einen hohen Integrationsgrad (VLSI: very-large-scale integration) erlaubt. Thematisch befasst sich diese Arbeit sowohl mit der physikalischen Betrachtung der hergestellten SETs wie zum Beispiel den atomaren Eigenschaften als auch mit den technologischen Aspekten wie Reproduzierbarkeit und Variabilität. Die Arbeit ist dabei wie folgt gegliedert: In Kapitel 2 werden die theoretischen Grundlagen der Funktionsweise des

Einzelektronentransistors vorgestellt und mit Hilfe eines elektrostatischen Modells erklärt. Kapitel 3 beschreibt die Herstellung der in dieser Arbeit verwendeten Proben sowie den Messaufbau und die verschiedenen eingesetzten Messmethoden. In den folgenden Kapiteln werden die experimentellen Ergebnisse präsentiert. Kapitel 4 widmet sich der grundsätzlichen elektrischen Charakterisierung aller Proben. SETs mit einem Gate (Einzelgate-SETs) werden in Kapitel 5 besprochen. Neben der Auswirkung der Inselgeometrie wird das Simulationsprogramm beschrieben, mit dem alle in dieser Arbeit gezeigten numerischen Simulationen erstellt wurden. Es wird ebenfalls auf Störungen des SETs aufgrund Dotieratomen und Defekten im Gate eingegangen. Kapitel 6 behandelt Strukturen mit mehreren Gates, bei denen sich zwei oder mehr Inseln in Serie befinden, die miteinander wechselwirken und die Verwendung des, das komplette Substrat umfassende, Backgate. In Kapitel 7 werden kombinierte Strukturen aus SET und FET, sogenannte SET-FET Hybride, gezeigt, die in Speicherzellen und mehrwertiger Logik zum Einsatz kommen können. Abschließend folgt eine Zusammenfassung mit Ausblick.

Kapitel 2

Theorie der Coulomb-Blockade

2.1 Der Einzelelektronentransistor

Der Einzelelektronentransistor besteht aus einer kleinen leitfähigen Insel, die mit zwei Reservoirs verbunden ist. Ist die Insel klein genug, kann aufgrund der Ladungsquantisierung die Ladeenergie, die benötigt wird, um ein Elektron auf die Insel zu bringen, größer als die zur Verfügung stehende Energie werden. In diesem Fall ist die elektrische Leitfähigkeit verschwindend, da kein Stromtransport über die Insel möglich ist. Dieser Effekt ist die sogenannte Coulomb-Blockade. Wird diese Blockade durch eine zusätzliche Steuerelektrode aufgehoben, findet der Transport der Elektronen über die Insel einzeln und nacheinander statt. In diesem Kapitel wird die Funktionsweise des Einzelelektronentransistor mit dem Effekt der Coulomb-Blockade erklärt und die Bedingungen für deren Auftreten erläutert. Die Beschreibung erfolgt auf Grundlage von [GD91], [KMM⁺97] und [MF96].

2.1.1 Quasi-isolierte Insel

Abbildung 2.1 zeigt eine Insel, die über Tunnelbarrieren mit zwei Elektroden (Source und Drain) verbunden ist. Eine weitere rein kapazitiv mit der Insel gekoppelte Elektrode (Gate) ermöglicht eine Potentialänderung

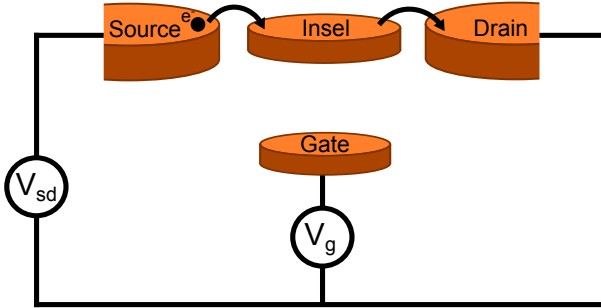


Abbildung 2.1: Schematische Darstellung einer quasi-isolierten Insel, die mittels Tunnelbarrieren an zwei Elektroden gekoppelt ist.

der Insel. Bei geringer Durchlässigkeit der Tunnelbarrieren kann die Insel als quasi isoliert betrachtet werden, so dass die Elektronen stets lokalisiert sind. Die Wechselwirkung zwischen Gate und Insel kann durch eine Kapazität beschrieben werden, das Ersatzschaltbild der Tunnelbarrieren ist eine Parallelschaltung von Kapazität und Widerstand. Die Kapazitäten werden als unabhängig von der Anzahl Elektronen auf der Insel angenommen, da sich im Inneren der Insel kein elektrisches Feld befindet. In Abbildung 2.1 ist exemplarisch eine Anordnung mit Source und Drain und einem Gate gezeigt, sie lässt sich jedoch prinzipiell auf eine beliebige Anzahl Elektroden erweitern. Für $M+1$ Elektroden ist die Gesamtladung der Insel durch

$$Q = \sum_{i=0}^M C_i (V - V_i) \quad (2.1)$$

gegeben. V ist dabei das elektrische Potential der Insel, V_i das elektrische Potential der i -ten Elektrode und C_i die Kapazität zwischen der i -ten Elektrode und der Insel. C_i hängt dabei nur von der Geometrie, also Form und Anordnung der Elektroden sowie von der Dielektrizitätszahl des umgebenden Mediums ab. Zunächst sei die Insel völlig isoliert. Somit ist die Ladung Q auf der Insel quantisiert, kann also nur ein ganzzahliges Vielfaches N der Elementarladung $-e$ betragen, wohingegen die Ladung auf den Elektroden durch Spannungsquellen kontinuierlich verändert werden kann. Bei gegebenen Potentialen V_i und Ladung der Insel $-Ne$, erhält man das Potential der Insel

$$V = \frac{-Ne}{C_\Sigma} + \sum_{i=0}^M \frac{C_i}{C_\Sigma} V_i \quad (2.2)$$

mit der Gesamtkapazität

$$C_\Sigma = \sum_{i=0}^M C_i \quad (2.3)$$

Die elektrostatische Energie der mit N Elektronen besetzten Insel ist somit

$$E_{elst}(N) = \int_0^{-Ne} V(q) dq = \frac{(Ne)^2}{2C_\Sigma} - Ne \sum_{i=0}^M \frac{C_i}{C_\Sigma} V_i. \quad (2.4)$$

Der erste Term entspricht dabei der Energie, die zum Laden der Insel mit N Elektronen benötigt wird, der zweite Term der potentiellen Energie der Elektronen auf der Insel bei den Elektrodenpotentialen V_i . Die Grundzustandsenergie für N Elektronen auf der Insel setzt sich aus der Summe der Energie der Elektronen auf den Energieniveaus E_p der Insel und der elektrostatischen Energie zusammen.

$$E_{ges} = \sum_{p=0}^N E_p + E_{elst} \quad (2.5)$$

Aus Gleichung 2.5 lässt sich das elektrochemische Potential berechnen. Dieses ist die minimale Energie, die benötigt wird, um das N -te Elektron der Insel hinzuzufügen.

$$\mu_{Insel}(N) = E_{ges}(N) - E_{ges}(N-1) = E_N + \left(N - \frac{1}{2}\right) \frac{e^2}{C_\Sigma} - e \sum_{i=0}^M \frac{C_i}{C_\Sigma} V_i \quad (2.6)$$

2.1.2 Schwach angekoppelte Insel

Ist die Insel mittels Tunnelbarrieren schwach an Source und Drain gekoppelt, kann ein Ladungsaustausch stattfinden. Abbildung 2.2 zeigt den Energieverlauf durch die Insel entlang der Transportrichtung. Die Zustände in Source und Drain sind jeweils bis zum elektrochemischen Potential μ_{source} beziehungsweise μ_{drain} aufgefüllt. Source und Drain

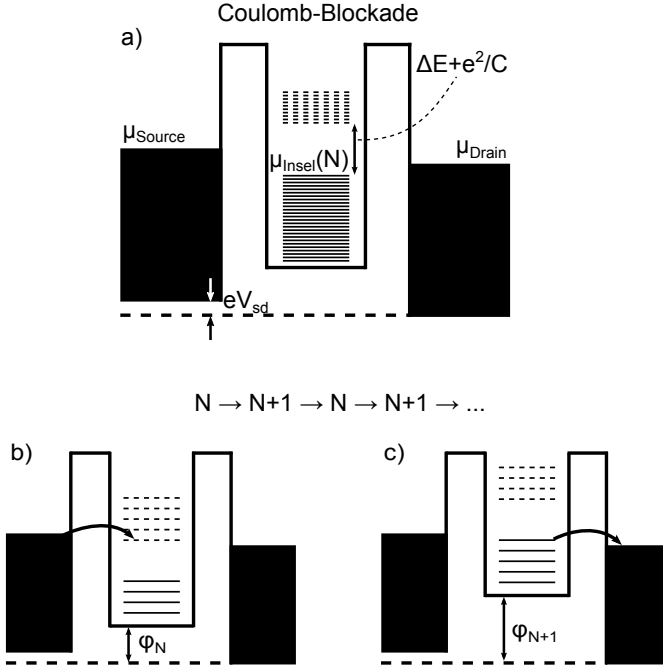


Abbildung 2.2: Energieverlauf durch einen Quantenpunkt entlang der Transportrichtung. Die diskreten 0D-Zustände der Insel sind mit N Elektronen bis zum elektrochemischen Potential der Insel $\mu_{\text{Insel}(N)}$ gefüllt. Das Hinzufügen eines weiteren Elektrons zu der Insel hebt $\mu_{\text{Insel}(N)}$ (die oberste durchgezogene Linie) auf $\mu_{\text{Insel}(N+1)}$ (die unterste gestrichelte Linie). In a) ist dieses Hinzufügen bei tiefen Temperaturen geblockt. In b) und c) ist dies erlaubt, da sich $\mu_{\text{Insel}(N+1)}$ aufgrund der Gatespannung auf Höhe von μ_{Source} und μ_{Drain} befindet. Die Elektronen können nacheinander über die Insel tunneln, b) zeigt den Fall mit N Elektronen auf der Insel, c) mit $N+1$. nach [KMM⁺ 97].

sind über die extern angelegte Source-Drain-Spannung miteinander verbunden.

$$V_{sd} = -\frac{\mu_{\text{source}} - \mu_{\text{drain}}}{e} \quad (2.7)$$

Bei $T = 0\text{K}$ und festen Elektrodenpotentialen sind die Zustände der Insel bis zum elektrochemischen Potential der Insel aufgefüllt, wobei $\mu_{\text{Insel}(N)} \leq \mu_{\text{source, drain}} \leq \mu_{\text{Insel}(N+1)}$ gilt. Ein Transport über die Insel kann nur stattfinden wenn im Energiebereich zwischen μ_{source} und μ_{drain} ein Zustand der Insel verfügbar ist. Betrachtet man das elektrochemische Potential der Insel in Abhängigkeit der Gatespannung V_g , so

erhält man für kleine Source-Drain-Spannungen ($V_{sd} \ll \Delta E/e, e/C_\Sigma$), dem sogenannten linear response regime, für N Elektronen auf der Insel

$$\mu_{Insel} = E_N + \frac{(N - 1/2)e^2}{C_\Sigma} - e \frac{C_g}{C_\Sigma} V_g. \quad (2.8)$$

ΔE ist die Energiedifferenz der Einteilchen-Energieniveaus $\Delta E = E_{N+1} - E_N$. Gleichung 2.8 kann als $\mu_{Insel}(N) = \mu_{ch}(N) + e\varphi_N$ interpretiert werden, das elektrochemische Potential ist somit die Summe aus dem chemischen Potential $\mu_{ch}(N) = E_N$ und dem elektrostatischen Potential φ_N . Das elektrostatische Potential φ_N setzt sich aus einem diskreten Teil, der abhängig von der Anzahl Elektronen auf der Insel N ist, und einem kontinuierlichen, zur Gatespannung proportionalen Teil zusammen. Wird die Gatespannung V_g erhöht, so sinkt das elektrochemische Potential der Insel zunächst linear mit der Gatespannung (vgl. Abbildung 2.3). Wird dadurch $\mu_{Insel}(N+1) \leq \mu_{source, drain}$ erreicht, kann ein weiteres Elektron von der Zuleitung auf die Insel tunneln. Das elektrochemische Potential ändert sich dabei sprunghaft um

$$\mu_{Insel}(N+1) - \mu_{Insel}(N) = \Delta E + \frac{e^2}{C_\Sigma}. \quad (2.9)$$

Die Ladeenergie $\frac{e^2}{C_\Sigma}$ tritt nur beim höchsten besetzten Zustand E_N auf. Unterhalb des elektrochemischen Potentials der Insel μ_{Insel} beträgt der Abstand der Zustände nur die Differenz der Einteilchen-Energieniveaus ΔE . Es existieren somit Bereiche für die Gatespannung V_g , bei denen kein Transport durch die Insel möglich ist. Dies ist gegeben, wenn N Elektronen auf der Insel lokalisiert sind und das elektrochemische Potential für das $N+1$ -te Elektron höher liegt als die Potentiale der Zuleitungen, also für $\mu_{Insel}(N) < \mu_{source, drain} < \mu_{Insel}(N+1)$. Dieser Effekt wird Coulomb-Blockade genannt. Durch Änderung der Gatespannung V_g kann die Coulomb-Blockade aufgehoben werden, indem $\mu_{Insel}(N+1)$ zwischen μ_{source} und μ_{drain} gebracht wird. In diesem Fall kann ein Elektron von Source auf die Insel tunneln, da $\mu_{source} > \mu_{Insel}(N+1)$ (vgl. Abbildung 2.2). Die Änderung des elektrostatischen Potentials um $\frac{e^2}{C_\Sigma}$, ist dort als Verschiebung der Leitungsbandkante eingezeichnet. Da $\mu_{Insel}(N+1) > \mu_{drain}$, kann das Elektron wieder von der Insel auf Drain tunneln. Das elektrochemische Potential ändert sich dabei wieder zu $\mu_{Insel}(N)$. Nun kann erneut ein Elektron von Source auf die Insel und

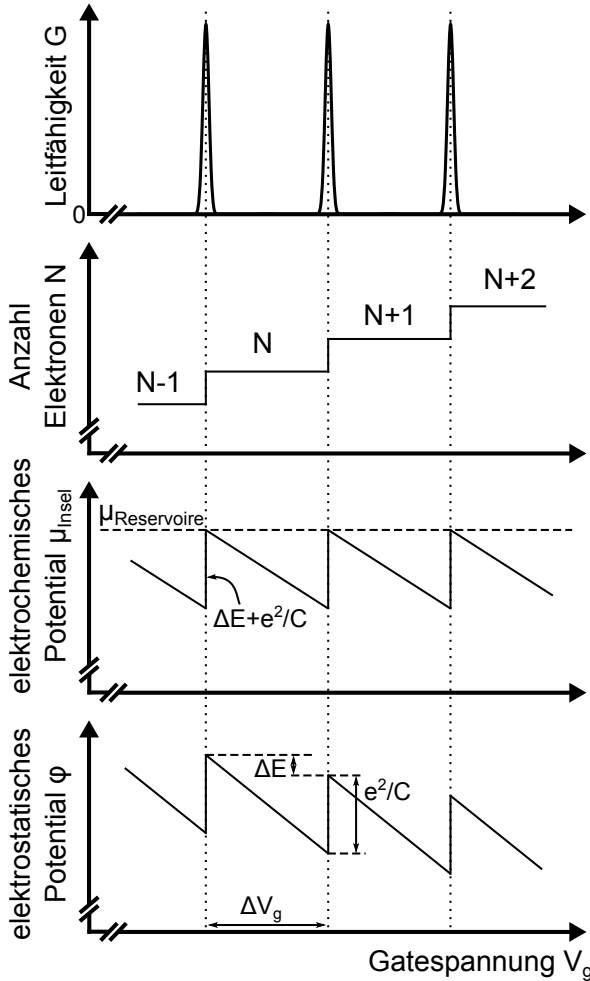


Abbildung 2.3: Abhängigkeit der Leitfähigkeit G , der Elektronenzahl auf der Insel N , des elektrochemischen Potentials μ_{Insel} und des elektrostatischen Potentials φ von der Gatespannung V_g . nach [KMM⁺ 97].

anschließend wieder auf Drain tunneln. Dieser sich ständig wiederholende Prozess zeigt sich in Abbildung 2.3 als Peak in der Leitfähigkeit. Mit steigender Gatespannung V_g erhält man abwechselnd verschwindende und endliche Leitfähigkeit. Dies sind die sogenannten Coulomb-Blockade-Oszillationen, die in Abbildung 2.3 dargestellt sind. Im Falle

der Coulomb-Blockade ist die Anzahl der Elektronen auf der Insel N fest. Überschreitet man ein Leitfähigkeitsmaximum, ändert sich die Elektronenanzahl um Eins (b), das elektrochemische Potential μ_{Insel} ändert sich um $\Delta E + \frac{e^2}{C_\Sigma}$ (c) und das elektrostatische Potential springt um $\frac{e^2}{C_\Sigma}$ (d). Mit der Bedingung $\mu_{Insel}(N, V_g) = \mu_{Insel}(N + 1, V_g + \Delta V_g)$ und Gleichung 2.8 erhält man für den Abstand zwischen zwei Oszillationen bezüglich der Gatespannungsänderung ΔV_g

$$\Delta V_g = \frac{C_\Sigma}{eC_g} \left(\Delta E + \frac{e^2}{C_\Sigma} \right). \quad (2.10)$$

Für dicht liegende Energieniveaus $\Delta E = E_{N+1} - E_N \cong 0$ erhält man $\Delta V_g = e/C_g$, was der klassischen Kapazität-Spannung-Beziehung einer einzelnen Elektronenladung entspricht. Die Oszillationen sind in diesem Fall periodisch. Bei nichtverschwindender Energieaufspaltung sind die Oszillationen nicht ganz periodisch. Für spinentartete Zustände erhält man prinzipiell zwei Abstände. Der eine entspricht Elektronen N und $N + 1$ mit entgegengesetztem Spin im selben spinentarteten Zustand, die andere Elektronen $N + 1$ und $N + 2$ in zwei unterschiedlichen Zuständen. Aufgrund der diskreten Energieeigenzustände der Elektronen in einem Quantenpunkt werden Quantenpunkte oft auch als „künstliche Atome“ bezeichnet.

2.1.3 Bedingungen für Coulomb-Blockade

Um Einzelelektronentunneln und somit auch die Coulomb-Blockade-Oszillationen beobachten zu können, müssen Insel und Tunnelbarrieren gewisse Anforderungen erfüllen. Tunnelt ein Elektron auf die Insel, ändert sich die Ladung auf der Insel um die Elementarladung e . Das elektrische Potential ändert sich dabei um die Ladeenergie $E_C = \frac{e^2}{C_\Sigma}$. Die Ladeenergie ist relevant, wenn sie deutlich größer als die thermische Energie wird

$$\frac{e^2}{C_\Sigma} \gg k_B T. \quad (2.11)$$

Gleichung 2.11 verknüpft die Temperatur mit der Kapazität der Insel, welche maßgeblich von der Größe der Insel abhängt. Für Einzelelektronen-Effekte muss die Insel also sehr klein sein, idealerweise ein Quantenpunkt, oder die Temperatur sehr tief. Die Auswirkungen der Temperatur werden in Kapitel 2.1.4 genauer diskutiert. Die bisherigen

Herleitungen erfolgten unter der Annahme, dass die Elektronen entweder in den Zuleitungen oder auf der Insel lokalisiert sind. Dies stellt eine Bedingung für die Mindestgröße des Widerstands der Tunnelbarrieren R_T dar. Die Zeit, die für ein Tunnelereignis benötigt wird entspricht $\Delta t = R_T C_\Sigma$. Die Energieunschärfe sollte dabei deutlich kleiner als die Ladeenergie sein. Mit der Heisenbergschen Unschärferelation erhält man $\Delta E \Delta t = \frac{e^2}{C_\Sigma} R_T C_\Sigma > h$. Für den Tunnelwiderstand ergibt sich folglich

$$R_T \gg \frac{h}{e^2} = 25,813 \text{ k}\Omega. \quad (2.12)$$

Dies erhält man durch schwache Kopplung zwischen Insel und Zuleitungen.

2.1.4 Temperaturabhängigkeit der Coulomb-Blockade-Oszillationen

Im Folgenden wird die Temperaturabhängigkeit der Linienform und Amplitude der Coulomb-Blockade-Oszillationen betrachtet. Dabei wird angenommen, dass die Leitfähigkeit der Tunnelbarrieren energieunabhängig und die Linienverbreiterung aufgrund der Ankopplung der Insel an die Zuleitungen wesentlich kleiner als die thermische Energie ist. Daraus erhält man $h\Gamma \ll k_B T$ mit der Tunnelrate Γ . Es können drei Temperaturbereiche unterschieden werden

1. $\frac{e^2}{C_\Sigma} \ll k_B T$: hohe Temperatur, weder die Ladeenergie noch die Energieniveaubstände sind von Bedeutung.
2. $\Delta E \ll k_B T \ll \frac{e^2}{C_\Sigma}$: die klassische Coulomb-Blockade, viele Zustände sind aufgrund thermischer Fluktuationen angeregt. Man spricht von einer metallischen Insel.
3. $k_B T \ll \Delta E < \frac{e^2}{C_\Sigma}$: die quantenmechanische Niveaufspaltung ist von Bedeutung, nur ein oder wenige Niveaus tragen zum Transport bei.

Bei hohen Temperaturen (1.) ist die Leitfähigkeit nur von der Leitfähigkeit der beiden Tunnelbarrieren abhängig und entspricht dessen ohmscher Addition

$$\frac{1}{G} = \frac{1}{G_\infty} = \frac{1}{G_{source}} + \frac{1}{G_{drain}}. \quad (2.13)$$

G_∞ ist dabei die Hochtemperatur-Leitfähigkeit, die von der Inselgröße unabhängig ist.

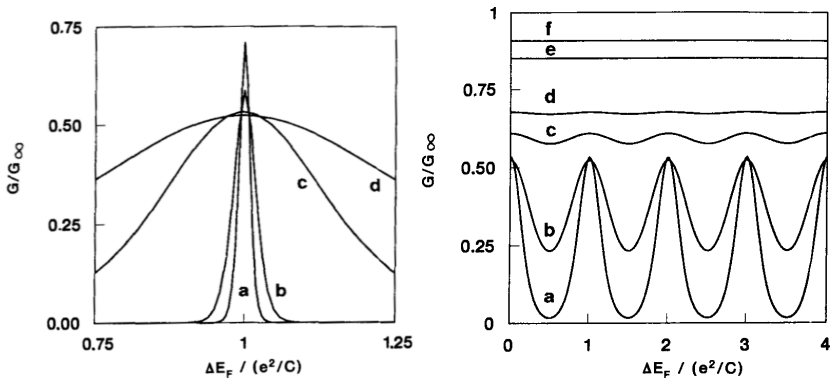


Abbildung 2.4: Links: Berechnete Linienform für unterschiedliche Temperaturen für den Übergang vom quantenmechanischen Bereich (a, b), wo Höhe und Breite der Spitze temperaturabhängig sind, zum klassischen Bereich (c, d), wo nur noch die Breite von der Temperatur abhängt. Ansteigende Temperatur von a - d. Rechts: Temperaturabhängigkeit der Coulomb-Blockade-Oszillationen im klassischen Bereich $k_B T \gg \Delta E$. Ansteigende Temperatur von a - f. Die absoluten Temperaturen sind links und rechts verschieden. aus [HBS92]

Für $\Delta E \ll k_B T \ll \frac{e^2}{C_\Sigma}$ (2.) kann von einem Kontinuum der Zustände ausgegangen werden. Die Linienform einer Leitfähigkeitsspitze ist in diesem Fall durch

$$\frac{G}{G_\infty} = \frac{\delta/k_B T}{2 \sinh(\delta/k_B T)} = \frac{1}{2} \cosh^{-2} \left(\frac{\delta}{2,5 k_B T} \right) \quad (2.14)$$

gegeben [Bee91]. Dabei ist δ der Abstand zur Mitte der Leitfähigkeitsspitze in Einheiten der Energie, welcher durch die Gatespannung ausgedrückt $\delta = e \left(\frac{C_g}{C_\Sigma} \right) \cdot |V_{g,max} - V_g|$, mit $V_{g,max}$ der Gatespannung bei maximaler Leitfähigkeit, ergibt. Abbildung 2.4 links zeigt berechnete Kurven für verschiedene Temperaturen. Die Breite der Leitfähigkeitsspitzen hängt linear von der Temperatur ab, solange $k_B T \ll \frac{e^2}{C_\Sigma}$ gilt, während die maximale Höhe $G_{max} = G_\infty/2$ temperaturunabhängig ist und der Hälfte der Hochtemperatur-Leitfähigkeit entspricht. Letzteres lässt sich dadurch erklären, dass bei diesen Temperaturen die Tunnelprozesse korreliert sind und ein Elektron erst die Insel verlassen muss, bevor ein weiteres auf die Insel tunneln kann. Die

Tunnelwahrscheinlichkeit, durch die Insel zu tunneln, reduziert sich daher auf die Hälfte. Die Coulomb-Oszillationen sind für Temperaturen $k_B T < 0,3 \frac{e^2}{C_\Sigma}$ sichtbar.

Im dritten Fall $k_B T \ll \Delta E < \frac{e^2}{C_\Sigma}$ erfolgt das Tunneln nur über ein einziges Energieniveau. Die Form der Leitfähigkeitsspitzen ist in diesem Fall

$$\frac{G}{G_\infty} = \frac{\Delta E}{4k_B T} \cosh^{-2} \left(\frac{\delta}{2k_B T} \right) \quad (2.15)$$

mit der Annahme, dass ΔE unabhängig von E und N ist. Die Höhe der Leitfähigkeitsspitze nimmt in diesem Fall linear mit der Temperatur ab, während sie im klassischen Fall konstant ist. Dieses Verhalten in Abhängigkeit der Temperatur ist in Abbildung 2.4 gezeigt. Auf diese Weise kann man klassisches und quantenmechanisches Verhalten unterscheiden.

In der Realität ändert sich die Leitfähigkeit der Tunnelbarrieren aufgrund der Gatespannung, so dass die Höhe nicht immer konstant ist, sondern sich langsam ändert. Im quantenmechanischen Fall hängt die Höhe von der Kopplung der Energieniveaus an die Zuleitungen ab. Da diese sich von Niveau zu Niveau deutlich ändern kann, erhält man im Allgemeinen zufällig variierende Höhen [KMM⁺97].

2.1.5 Nichtlinearer Transport

Bisher wurde von einer vernachlässigbar kleinen Source-Drain-Spannung ausgegangen $V_{sd} \ll \frac{e^2}{C_\Sigma}, k_B T$ und nur die Gatespannung V_g verwendet, um das elektrochemische Potential der Insel zwischen das der Zuleitungen zu bringen und Coulomb-Blockade-Oszillationen zu erhalten. Im Folgenden soll nun der Transport bei größeren Potentialdifferenzen zwischen Source und Drain betrachtet werden, bei dem ein nichtlinearer Zusammenhang zwischen Strom und Spannung auftritt. Dabei soll stets Source festgehalten und nur Drain verändert werden. Zuerst soll wieder der klassische Fall betrachtet werden. In Abbildung 2.5a) ist der lineare Fall skizziert. Die Source-Drain-Spannung ist vernachlässigbar und die Gatespannung ist so eingestellt, dass sich das elektrochemische Potential der Insel gerade zwischen μ_{source} und μ_{drain} befindet. Daraus resultiert eine lineare I-V-Kennlinie. Sei nun die Insel mit N Elektronen besetzt und das elektrochemische Potential so eingestellt, dass

$$\mu_{Insel}(N) < \mu_{source}, \mu_{drain} < \mu_{Insel}(N + 1) \quad (2.16)$$

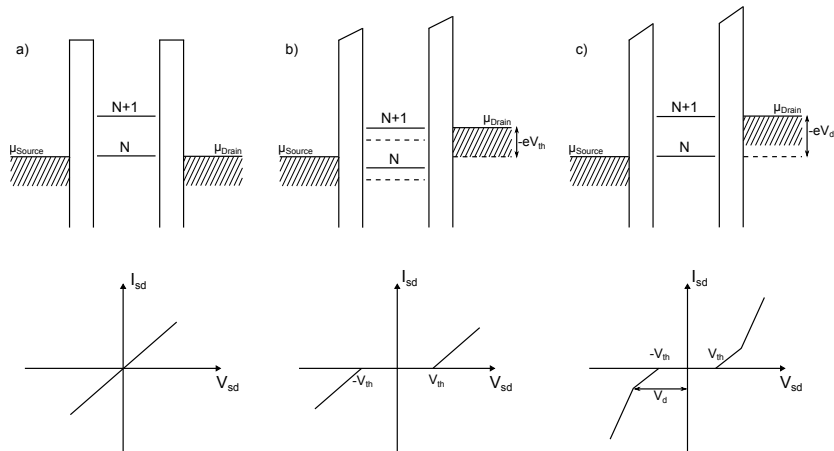


Abbildung 2.5: Strom-Spannungs-Kennlinien für verschiedene Einstellungen der Gatespannung V_g . In a) ist das elektrochemische Potential der Insel mit dem von Source und Drain auf einer Höhe ausgerichtet, so dass stets Strom fließen kann. In b) ist zuerst kein Zustand zwischen den Elektroden-Potentialen und der Elektronentransport ist blockiert. Erst ab der Schwellenspannung $V_{sd} = V_{th}$ kommt ein Zustand in das Transportfenster und Strom fließt. Die gestrichelten Linien entsprechen den Potentialen bei $V_{sd} = 0$. In c) kann die Elektronenanzahl auf der Insel bei Erreichen der eingezeichneten V_d -Spannung um zwei fluktuieren, so dass sich die Leitfähigkeit nochmals erhöht.

gilt. In diesem Fall ist kein Transport über die Insel möglich, da sich kein Zustand zwischen μ_{source} und μ_{drain} befindet. Wird μ_d durch Änderung von V_{sd} angehoben, fließt Strom sobald ein Energieniveau ins Transportfenster rückt. Durch Änderung von V_{sd} ändert sich auch das elektrochemische Potential der Insel nach Gleichung 2.6 um

$$\Delta\mu_{Insel} = eV_{sd} \frac{C_d}{C_\Sigma}. \quad (2.17)$$

Da durch die Kopplung zwischen Insel und Zuleitungen bei einer Anhebung von μ_d auch μ_{Insel} relativ zu μ_s angehoben wird, kann $\mu_d > \mu_{Insel}(N+1)$ oder $\mu_s < \mu_{Insel}(N)$ eintreten. Im ersten Fall tunnelt zuerst ein Elektron von Drain auf die Insel, anschließend tunnelt ein Elektron von der Insel nach Source. Die Elektronenanzahl auf der Insel ändert sich dabei $N \rightarrow N+1 \rightarrow N$. Im zweiten Fall verlässt zuerst ein Elektron die Insel und anschließend tunnelt ein Elektron von Drain auf

die Insel. Die Besetzungszahl ist in diesem Fall $N \rightarrow N-1 \rightarrow N$. Welche Bedingung zuerst erreicht wird, hängt von den Kapazitäten, sowie von der eingestellten Gatespannung ab. In Abbildung 2.5b) ist der erste Fall gezeigt. Die zum Aufheben der Blockade nötige Spannung wird Schwellspannung V_{th} genannt. Ab der Schwellspannung ändert sich Strom linear mit der Source-Drain-Spannung, da bei höheren Spannungen mehr angeregte Zustände verfügbar sind und dadurch die Tunnelraten zunehmen. Die analoge Betrachtung ist auch für ein Absenken von μ_d gültig. Die Breite der Coulomb-Blockade ΔV_{sd} ist aufgrund der kapazitiven Kopplung zwischen Insel und Zuleitung vergrößert und ergibt sich zu

$$\Delta V_{sd} = \frac{e}{C_{\Sigma} - C_d}. \quad (2.18)$$

Dies ist jedoch nur gültig, wenn die Gatespannung V_g genügend weit von einer Leitfähigkeitsspitze entfernt ist $\Delta V_g \geq e^2 \frac{C_d}{C_{\Sigma}}$, ansonsten erhält man eine kleinere Breite.

Wird V_{sd} weiter erhöht, so dass ein weiteres Energieniveau zwischen μ_d und μ_s rückt, können zwei Elektronen gleichzeitig am Transport teilnehmen, was in einer steileren I-V-Kurve resultiert (vgl. Abbildung 2.5c)).

2.1.6 Coulomb-Rauten

Wie zuvor gezeigt, lässt sich die Coulomb-Blockade sowohl durch Variation der Gatespannung als auch der Source-Drain-Spannung aufheben. Dies lässt sich am Besten in einem $I_{sd}(V_{sd}, V_g)$ -Diagramm darstellen. Ein solches ist für den klassischen Fall in Abbildung 2.6 gezeigt. Man erkennt parallelogrammförmige Bereiche, die sogenannten Coulomb-Rauten. In den weißen Bereichen ist der Strom aufgrund der Coulomb-Blockade unterdrückt und die Anzahl der Elektronen auf der Insel innerhalb einer Raute konstant. In den grauen Bereichen findet Einzelelektronentunneln über die Insel statt, die Besetzungszahl fluktuiert dabei um ein Elektron. Schwarz dargestellt sind Bereiche, in denen zwei Elektronen am Transport beteiligt sind. Aus einem solchen Diagramm lassen sich die Kapazitäten von Source, Drain und Gate, jeweils bezüglich der Insel, ablesen. Die Schnittpunkte bei $V_{sd} = 0$ V sind die Leitfähigkeitsspitzen der Coulomb-Blockade-Oszillationen, deren Abstände nach Gleichung 2.10

$$\Delta V_g = \frac{e}{C_g} \quad (2.19)$$

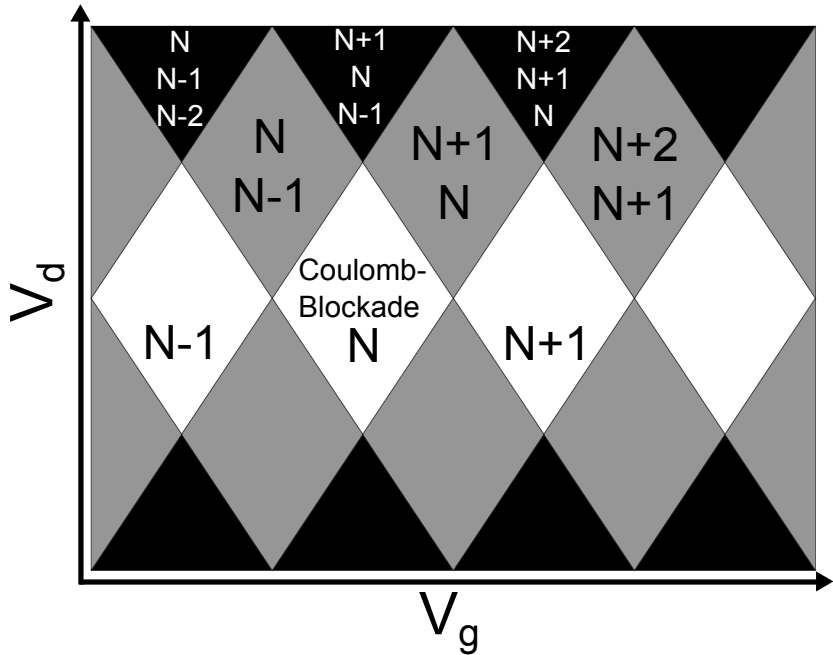


Abbildung 2.6: Schematische Darstellung der Besetzungszahlen in einem Stabilitätsdiagramm in Abhängigkeit der Source-Drain-Spannung V_d und der Gatespannung V_g . In den weißen Bereichen ist die Besetzungszahl auf der Insel fest und die Leitfähigkeit aufgrund der Coulomb-Blockade unterdrückt. In den grauen Bereichen können die Elektronen nacheinander über die Insel transportiert werden, die Besetzungszahl ändert sich dabei um Eins. In den schwarzen Bereichen kann sich die Besetzungszahl um zwei Elektronen ändern.

betragen. Anhand der Steigung der Grenzlinien der Coulomb-Rauten lässt sich eine Aussage über die Source- und Drain-Kapazitäten treffen. Die Grenzlinien einer Coulomb-Raute mit der Besetzungszahl N sind für $V_{sd} > 0$ V durch die Bedingung

$$\mu_{Insel}(N) = \mu_d \quad (2.20)$$

für die Seite mit positiver Steigung (+) und

$$\mu_{Insel}(N + 1) = \mu_s \quad (2.21)$$

für die Seite mit negativer Steigung (-) gegeben. Sei $V_s = 0$ V festgehalten, so erhält man mit $\mu_s - \mu_d = -eV_{sd} = -eV_d$ und Gleichung 2.8

$$V_g^+ = \frac{C_\Sigma - C_d}{C_g} V_d + \frac{e(N - \frac{1}{2})}{C_g} \quad (2.22)$$

und

$$V_g^- = -\frac{C_d}{C_g} V_d + \frac{e(N + \frac{1}{2})}{C_g}. \quad (2.23)$$

Die Steigungen der Grenzlinien sind demnach

$$\frac{\partial V_d^+}{\partial V_g} = \frac{C_g}{C_s + C_g} \quad (2.24)$$

und

$$\frac{\partial V_d^-}{\partial V_g} = -\frac{C_g}{C_d}. \quad (2.25)$$

Aus einem gemessenen Leitfähigkeitsdiagramm lassen sich also alle Teilkapazitäten extrahieren.

2.1.7 Coulomb-Treppen

Bei stark asymmetrischen Tunnelbarrieren lassen sich in der I-V-Kennlinie sogenannte Coulomb-Treppen beobachten. Dabei steigt der Strom stufenweise mit steigender Source-Drain-Spannung an wie in Abbildung 2.7 gezeigt ist. Bei Erhöhung von V_d wird die Coulomb-Blockade aufgehoben, sobald ein möglicher Zustand im Transportfenster liegt. Ein Elektron kann aufgrund der durchlässigen Barriere sehr schnell auf die

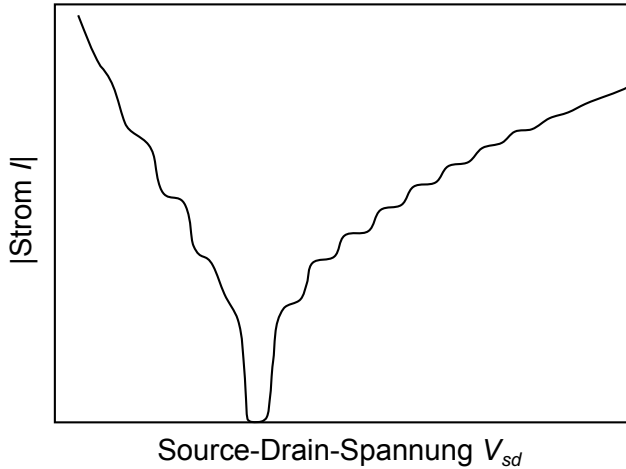


Abbildung 2.7: Schematische Darstellung von Coulomb-Treppen.

Insel tunnelt und verweilt dort verhältnismäßig lange, bevor es wieder von der Insel tunnelt. Dadurch ist der oberste Ladungszustand der Insel fast immer besetzt. Der Strom ist dabei durch die undurchlässige Barriere begrenzt und kaum noch von V_d abhängig. Eine Stufe entsteht, wenn aufgrund der Erhöhung von V_d ein weiterer Transportkanal entsteht und ein Elektron mehr am Transport teilnimmt. Der Spannungsabstand dieser Stufen entspricht $\Delta V_d = \frac{e}{C_S}$. Ändert man das Vorzeichen von V_d , ist der oberste Zustand der Insel fast immer unbesetzt, da auf die Insel getunnelte Elektronen diese durch die durchlässigere Barriere sofort wieder verlassen können. Die Stufen sind dann wesentlich schwächer ausgeprägt. Im Leitfähigkeitsdiagramm führen stark unterschiedliche Tunnelbarrieren zum Verblässen einer Begrenzungslinie. Da das Erreichen eines weiteren Ladezustands bei der breiten Barriere einen größeren Effekt als bei der schmalen Barriere hat und die verschiedenen Seiten nach Gleichung 2.20, 2.21 unterschiedliche Bedingungen besitzen, sind im oben gezeigten Fall die Linien mit negativer Steigung besser sichtbar.

2.1.8 Angeregte Zustände

Im quantenmechanischen Fall $\Delta E \gg k_B T$, kann der Strom wie zuvor durch Überwindung der Ladeenergie erhöht werden. Es bilden sich eben-

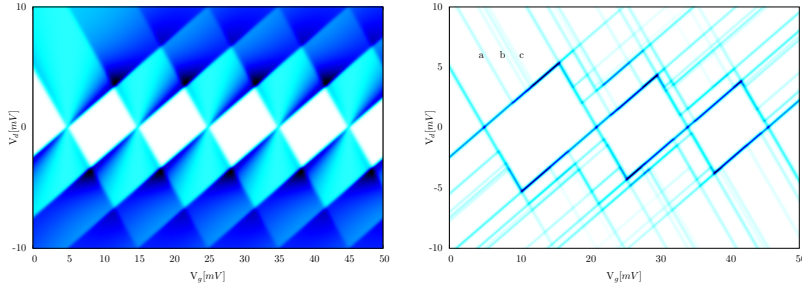


Abbildung 2.8: Numerisch berechneter differentieller Leitwert eines Einzel-Elektronentransistors in Abhängigkeit der Source-Drain-Spannung V_d und der Gatespannung V_g . Links im metallischen Bereich bei vernachlässigbarem Abstand der Einteilchen-Energieniveaus für $\Delta E \ll k_B T$, rechts der Fall $\Delta E \gg k_B T$. Vier Einteilchen-Energieniveaus sind dargestellt mit den Abständen zueinander ausgehend vom Grundzustand mit 2 meV (a), 1 meV (b) und $0,5 \text{ meV}$ (c). Source-, Drain- und Gatekapazität beträgt jeweils 16 aF , die Temperatur 500 mK . Weiße Bereiche entsprechen einem Leitwert von Null, je dunkler das Blau desto höher der Leitwert.

falls die Coulomb-Rauten. Zusätzlich entsteht im leitfähigen Bereich eine Unterstruktur aufgrund der Einteilchenenergieniveaus. Kommt durch Erhöhung der Source-Drain-Spannung ein angeregter Zustand in das Transportfenster, so erhöht sich der Strom. Dem Elektron stehen zwei Niveaus zum Tunneln zur Verfügung, wodurch die Tunnelraten erhöht werden. Tunnelt das Elektron auf den angeregten Zustand kann es entweder direkt heraustunneln oder zuerst in den Grundzustand relaxieren und anschließend heraustunneln. Es können jedoch nicht beide Zustände von zwei Elektronen besetzt werden, da die dadurch entstehende Ladenergieänderung nicht möglich ist. Im in Abbildung 2.8 gezeigten differentiellen Leitfähigkeitsdiagramm sind diese Stufen als zusätzliche Linien erkennbar.

2.2 Zwei seriell gekoppelte SETs

Im Zuge dieser Arbeit wurden auch gekoppelte Einzelelektronentransistoren untersucht, daher werden im folgenden Abschnitt die für das Verständnis der experimentellen Ergebnisse nötige theoretische Grundlagen besprochen. Dazu wird das Modell aus Kapitel 2.1 um eine Insel

und ein Gate erweitert, so dass man eine Konfiguration von zwei seriell gekoppelten Einzelelektronentransistoren erhält. Es wird ein rein elektrostatisches Modell verwendet, welches unter Berücksichtigung der Messtemperatur und den Probedimensionen ausreichend ist.

2.2.1 Elektrostatische Betrachtung zweier gekoppelter Inseln

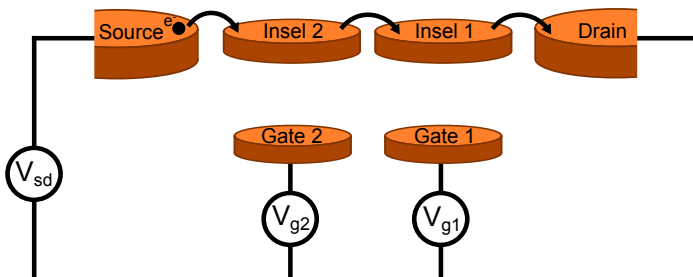


Abbildung 2.9: Schematische Darstellung zweier seriell gekoppelter Inseln die mittels Tunnelbarrieren an zwei Elektroden gekoppelt sind.

Abbildung 2.9 zeigt eine Struktur mit zwei seriell gekoppelten Inseln mit je einem Gate pro Insel. Die beiden Inseln sind durch eine Tunnelbarriere verbunden. Die Anforderungen an die Durchlässigkeit der Tunnelbarrieren sowie die Bedingungen für die Temperatur sind wiederum dieselben wie bei der einzelnen Insel. Das zugehörige Ersatzschaltbild ist in Abbildung 2.10 gezeigt. C_{ij} bezeichnet dabei die Kapazität zwischen Elektrode i und Elektrode j mit $C_{ij} = C_{ji}$. Da eine Änderung an einem der Gates sich auch jeweils auf die andere Insel auswirkt, kommen zusätzlich zu den bereits von der einzelnen Insel bekannten Teilkapazitäten noch die Kreuzkapazitäten zwischen Gate 1 und Insel 2 sowie Gate 2 und Insel 1 hinzu. Ändert sich die Besetzungszahl auf einer Insel, so erfährt die andere Insel aufgrund der kapazitiven Kopplung zwischen den Inseln ebenfalls eine gewisse Änderung in ihrem elektrochemischen Potential. Folglich ist eine getrennte Betrachtung der Inseln nicht möglich. Analog zu Gleichung 2.2 erhält man für die Potentiale der beiden Inseln

$$V_1 = -\frac{N_1 e}{C_{1\Sigma}} + \sum_{j=2}^M \frac{C_{1j}}{C_{1\Sigma}} V_j \quad (2.26)$$

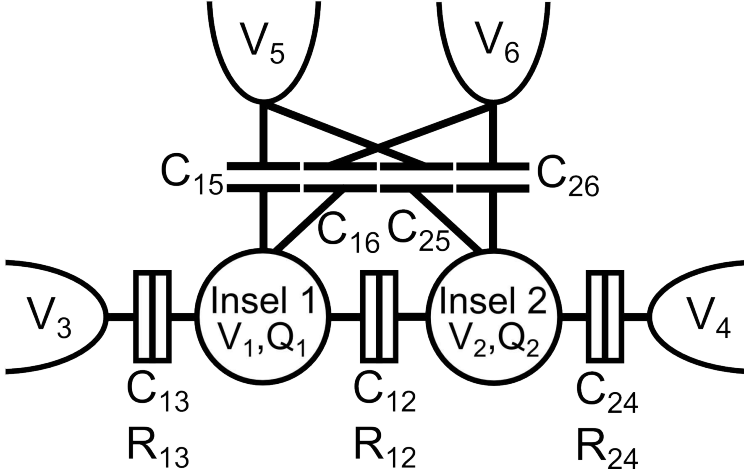


Abbildung 2.10: Ersatzschaltbild der seriell gekoppelten Inseln.

und

$$V_2 = -\frac{N_2 e}{C_{2\Sigma}} + \sum_{\substack{j=1 \\ j \neq 2}}^M \frac{C_{2j}}{C_{2\Sigma}} V_j. \quad (2.27)$$

N_1 und N_2 sind die Anzahl der Elektronen auf der jeweiligen Insel und $C_{i\Sigma}$ die Gesamtkapazität der i -ten Elektrode mit

$$C_{i\Sigma} = \sum_{\substack{j=1 \\ j \neq i}}^M C_{ij}. \quad (2.28)$$

Damit erhält man für die elektrochemischen Potentiale der beiden Inseln

$$\mu_{\text{Insel1}}(N_1) = E_F - e \sum_{j=2}^M \frac{C_{1j}}{C_{1\Sigma}} V_j + (N_1 - \frac{1}{2}) \frac{e^2}{C_{1\Sigma}} \quad (2.29)$$

und

$$\mu_{\text{Insel2}}(N_2) = E_F - e \sum_{\substack{j=1 \\ j \neq 2}}^M \frac{C_{2j}}{C_{2\Sigma}} V_j + (N_2 - \frac{1}{2}) \frac{e^2}{C_{2\Sigma}}. \quad (2.30)$$

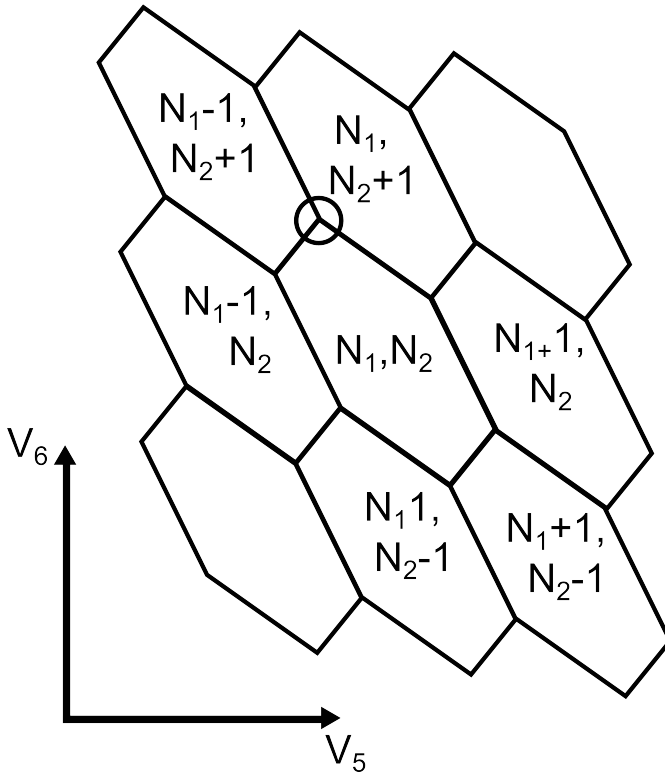


Abbildung 2.11: Schematisches Stabilitätsdiagramm für zwei gekoppelte Inseln. Abgebildet wird der Strom I_d in Abhängigkeit der beiden Gatespannungen V_5 und V_6 . Man erhält die sechseckige Wabenstruktur, mit den jeweiligen Besetzungszahlen innerhalb eines Sechsecks. Ein makroskopischer Strom über die Inseln ist nur an den Kreuzungspunkten möglich, am eingekreisten Kreuzungspunkt z.B. in der Reihenfolge $N_1, N_2 \rightarrow N_1, N_2 + 1 \rightarrow N_1 - 1, N_2 + 1 \rightarrow N_1, N_2$ von Source nach Drain.

2.2.2 Ladungsdiagramm

Trägt man bei verschwindender Source-Drain-Spannung den Strom in Abhängigkeit der beiden Gatespannungen auf $I_{sd}(V_5, V_6)$, so erhält man sechseckige Bereiche, die einer Wabenstruktur (engl. honeycomb) ähneln. Innerhalb dieser Sechsecke ist die Besetzungszahl beider Inseln jeweils konstant. Die Begrenzungslinien eines solchen Sechsecks können wie in Kapitel 2.1.6 durch Bedingungen an die elektrochemischen Potentiale

festgelegt werden. Sei die Source-Drain-Spannung vernachlässigbar klein

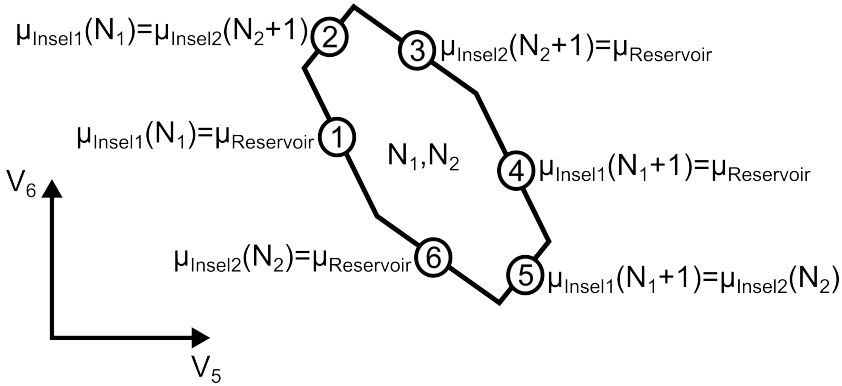


Abbildung 2.12: Vergrößerte Darstellung des Sechsecks mit den Besetzungszahlen N_1, N_2 aus Abbildung 2.11. Es sind die Bedingungen für Elektronentransport entlang der Begrenzungslinien zu den benachbarten Zuständen eingetragen.

und nur dazu da, um eine Transportrichtung vorzugeben, kann man

$$\mu_{\text{source}} = \mu_{\text{drain}} = \mu_{\text{reservoir}} \approx E_F \quad (2.31)$$

annehmen. Befinden sich N_1 Elektronen auf Insel 1 und N_2 Elektronen auf Insel 2 so kann durch Änderung der Gatespannungen die Gesamtelektronenanzahl auf den Inseln maximal um ein Elektron erhöht oder erniedrigt werden. Die benachbarten Besetzungszustände sind in Abbildung 2.11 dargestellt. Dabei wird bei der Änderung zu $(N_1 + 1, N_2 - 1)$ und $(N_1 - 1, N_2 + 1)$ lediglich ein Elektron zwischen den Inseln verschoben und die Gesamtanzahl bleibt konstant, während in den vier anderen Fällen je ein Elektron an Source oder Drain abgegeben bzw. von Source oder Drain aufgenommen wird. Stromtransport durch die Struktur ist nur möglich, wenn in beiden Inseln gleichzeitig ein Transportkanal zur Verfügung steht. Dies ist gerade an den Schnittpunkten von drei Begrenzungslinien der Fall. Die Bedingung für die jeweilige Begrenzungslinie ist in Abbildung 2.12 eingetragen. Aus diesen Bedingungen lassen sich für gegebene Besetzungszahlen N_1 und N_2 ähnlich wie für die Coulomb-Rauten Gleichungen für die Begrenzungslinien angeben, die nur noch von den Gatespannungen und den Kapazitäten abhängen. Eine detaillierte Auflistung findet sich in [Sin00]. Dabei zeigt sich, dass

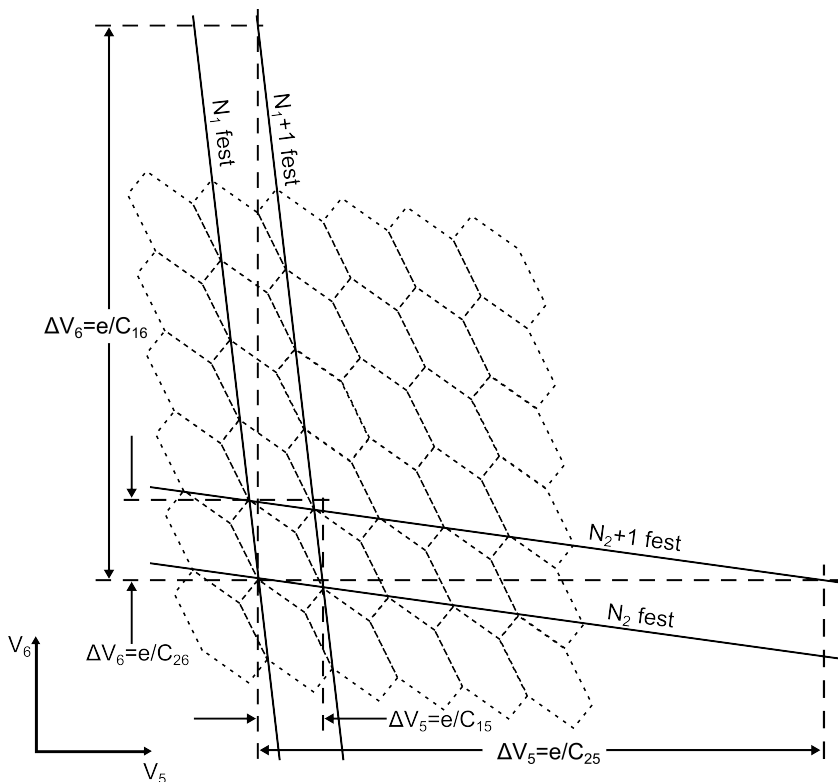


Abbildung 2.13: Gitterlinien durch die Schnittpunkte der Begrenzungslinien 1 und 6 aus Abbildung 2.12 für festgehaltene Besetzungszahlen N_1 und $N_1 + 1$ bzw. N_2 und $N_2 + 1$. Anhand der Steigung lassen sich die Kapazitäten zwischen den Gates und den Inseln wie eingezeichnet berechnen.

je zwei Begrenzungslinien dieselbe Steigung besitzen. Ebenso lassen sich für die Schnittpunkte der Begrenzungslinien Gleichungen aufstellen. Da diese Gleichungen mehrere Produkte von Kapazitäten beinhalten, sind sie zur graphischen Bestimmung der Kapazitäten aus gemessenen Ladungsdiagrammen eher ungeeignet. Betrachtet man für festgehaltenes N_1 die jeweils gleichen Punkte der Sechsecke, so liegen diese auf einer Geraden. Verfährt man ebenso für N_2 , erhält man eine weitere Gerade. In Abbildung 2.13 sind die Geraden für N_1 und $N_1 + 1$ fest, sowie für N_2 und $N_2 + 1$ fest gezeigt. Aus den Abständen der Geraden in V_5 - bzw.

V_6 -Richtung erhält man die Gatekapazitäten zu

$$\Delta V_5 = \frac{e}{C_{15}} \quad \text{für } N_1, (N_1 + 1) \text{ fest} \quad (2.32)$$

$$\Delta V_5 = \frac{e}{C_{25}} \quad \text{für } N_2, (N_2 + 1) \text{ fest} \quad (2.33)$$

$$\Delta V_6 = \frac{e}{C_{16}} \quad \text{für } N_1, (N_1 + 1) \text{ fest} \quad (2.34)$$

$$\Delta V_6 = \frac{e}{C_{26}} \quad \text{für } N_2, (N_2 + 1) \text{ fest.} \quad (2.35)$$

Die Steigungen der Geraden sind nur noch vom Verhältnis der Kapazitäten zwischen der Insel und den beiden Gates abhängig, nämlich

$$m_1 = -\frac{C_{15}}{C_{16}} \quad (2.36)$$

$$m_2 = -\frac{C_{25}}{C_{26}}. \quad (2.37)$$

Höhere Kreuzkapazitäten führen zu einer stärkeren Verkippung der Sechsecke, während bei verschwindenden Kreuzkapazitäten die Sechsecke rechtwinklig angeordnet sind. Die Kapazität zwischen den beiden Inseln kann nicht absolut, sondern nur als Verhältnis angegeben werden. Dazu werden die Abstände der parallelen Begrenzungslinien verwendet, wie in Abbildung 2.14 skizziert. Man erhält

$$\frac{\Delta V_5^1}{\Delta V_5^2} = \frac{C_{2\Sigma}}{C_{12}} \quad (2.38)$$

und

$$\frac{\Delta V_6^1}{\Delta V_6^2} = \frac{C_{1\Sigma}}{C_{12}}. \quad (2.39)$$

Bei den hier verwendeten Proben konnte durch Anlegen einer hohen Gatespannung an einer Insel die Struktur quasi auf einen Einzelelektronentransistor mit nur einer Insel reduziert werden. Auf diese Weise kann die Gesamtkapazität der einzelnen Insel $C_{1\Sigma}$ bzw. $C_{2\Sigma}$ ermittelt werden und dadurch auch die Zwischenkapazität.

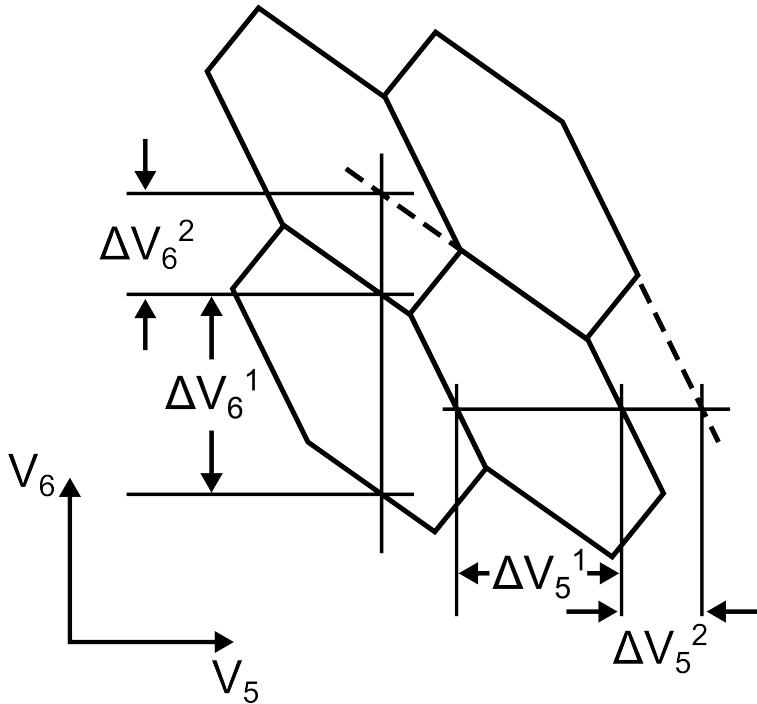


Abbildung 2.14: Ist die Gesamtkapazität der Inseln bekannt, kann aus dem Abstand der parallelen Begrenzungslinien die Kapazität zwischen den Inseln C_{12} bestimmt werden.

Kapitel 3

Proben und experimenteller Aufbau

3.1 Herstellung der MOSFETs

Die Proben wurden für das EU-Projekt AFSID (Atomic Functionalities in Silicon Devices) hergestellt. Im Folgenden soll der Herstellungsprozess kurz skizziert werden. Details zum Prozess und den hergestellten Geometrien finden sich in [PVWV⁺11] und [AFSb]. Die Herstellung der Proben erfolgte mit der FDSOI (Fully-Depleted Silicon-on-Insulator)-Technologie auf 200-mm-Wafern. Es erfolgten lediglich kleinere Änderungen, z.B. am Gate-Schichtstapel und an der Source-Drain-Dotierung. Standard 200mm-SOI-Substrate besitzen eine 70nm dicke oberste Siliziumschicht. Diese wurde durch wiederholte Oxidation auf die gewünschte Dicke (8–20 nm) reduziert. Anschließend wurde die aktive Schicht mittels Ionenimplantation dotiert. Bei den Proben mit undotiertem Kanal entfiel dieser Dotierschritt. Bei der Lithographie kam eine Hybrid-Technik zum Einsatz. Strukturen kleiner als 300 nm wurden mittels Elektronenstrahlithographie geschrieben, größere Strukturen wurden optisch mit DUV (deep ultraviolet, Wellenlänge 248 nm) belichtet. Für die Hybrid-Lithographie wurde der chemisch verstärkte Negativlack NEB35 von Sumitomo verwendet. Der folgende Ätzschritt zum Übertragen der Maske, bei dem die aktive Ebene wie zum Beispiel der Nanodraht des SETs definiert wird, wurde auf möglichst senkrechte

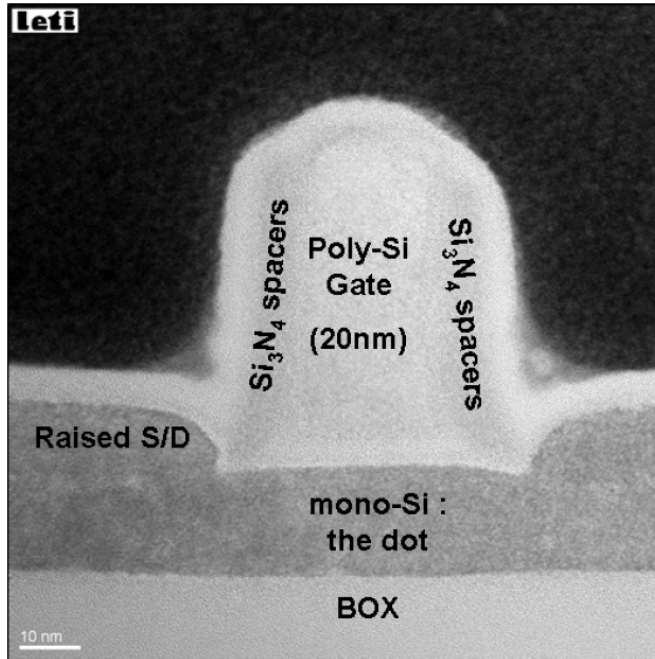


Abbildung 3.1: TEM Schnitt durch einen Einzelelektronentransistor. Die Siliziumdicke im Inselbereich ist hier 17 nm. Die Gatelänge beträgt 20 nm. Aus [AFSb]

Kanten optimiert. Für den Gatestapel wurden 5 nm Siliziumoxid und 50 nm n-dotiertes polykristallines Silizium abgeschieden. Zur Strukturierung der Gates kam die gleiche Hybrid-Lithographie wie zuvor zum Einsatz. Die Ausrichtung zwischen aktiver Ebene und Gateebene konnte auf unter 30 nm genau eingestellt werden. Zum Ätzen der Gates wurde ein spezielles Ätzverfahren verwendet, das eine hohe Anisotropie und kleinste Dimensionen gewährleistet. Als nächstes wurde mit einer niedrigen Dosis, dem sogenannten LDD implantiert, um den Widerstand zwischen Zuleitung und Insel zu verringern. Dieser Schritt wurde nicht bei allen Wafern durchgeführt. Danach wurden um die Gates Abstandshalter (engl. spacer) aus Siliziumnitrid gebildet. Diese schirmen den Kanal gegenüber der nachfolgenden hohen Source-Drain-Dotierung ab. Die daraus resultierende Modulation der Dotierkonzentration entlang des Kanals ist maßgeblich für die Funktionsweise als Einzelelektronentransistor

verantwortlich, wie in Abschnitt 3.2 beschrieben wird. Um den Widerstand der Zuleitungen weiter zu verringern, wurde mittels Epitaxie die Siliziumdicke erhöht. Einige Wafer erhielten zusätzlich noch eine Silizidierung. Zuletzt wurde die Probe isolierend gekapselt und mit Kupferzuleitungen und Aluminiumbondpads versehen. Ein TEM-Schnitt eines auf diese Weise gefertigten SET mit einem Gate ist in Abbildung 3.1 gezeigt.

3.2 MOSFET als SET

Die Proben die im Zuge von AFSID hergestellt und in dieser Arbeit verwendet wurden, entsprechen von dem prinzipiellen Aufbau und der Funktionsweise her einem Feldeffekttransistor. Erst bei tiefen Temperaturen trat der Wechsel vom FET zum SET auf. Die Ursache hierfür wird in diesem Abschnitt erklärt.

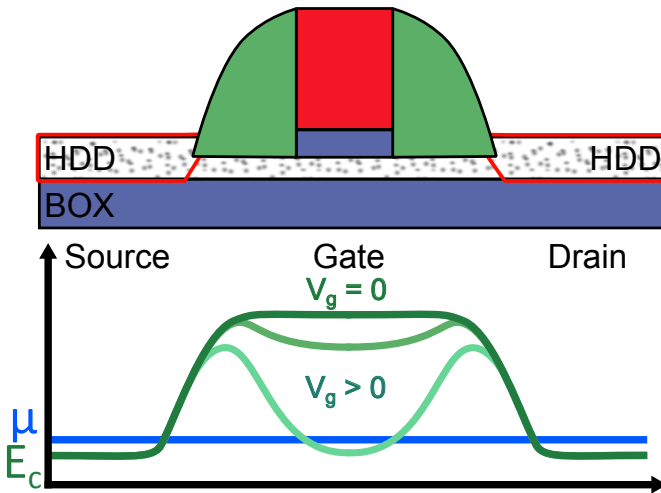


Abbildung 3.2: Schematische Darstellung der Spacer und des resultierenden Energieverlaufs entlang des Nanodrahtes in Transportrichtung.

Die Maskierung des Nanodrahtes durch die Spacer seitlich des Gates führt zu einer Modulation der Dotierkonzentration entlang des Drahtes. Die Zuleitungen sind hoch dotiert, der Bereich unterhalb des Gates, der die Insel bildet, bleibt undotiert. Die Bereiche unterhalb der Spacer wer-

den leicht dotiert, da einerseits Dotieratome aus den Zuleitungen unter die Spacer diffundieren können und andererseits aufgrund der abfallenden Form durch die Spacer hindurch implantiert werden kann. Der Bereich unter dem Gate kann durch Anlegen einer Gate-Spannung sehr gut kontrolliert werden. Durch die unterschiedliche Dotierkonzentration und die Wirkung des Gates entstehen unter den Spacern Potentialbarrieren wie sie in Abbildung 3.2 skizziert sind. Dadurch erhält man eine schwache Kopplung der Insel an Source und Drain [Hof06], wie sie in Kapitel 2 für Einzelelektronentunneln gefordert wurde. Die Höhe der Potentialbarrieren wird durch die Gatespannung ebenfalls leicht beeinflusst. Das charakteristische FET-Verhalten bei Raumtemperatur ist in Abbildung 3.3a) gezeigt, die Coulomb-Blockade-Oszillation bei tiefen Temperaturen in Abbildung 3.3b).

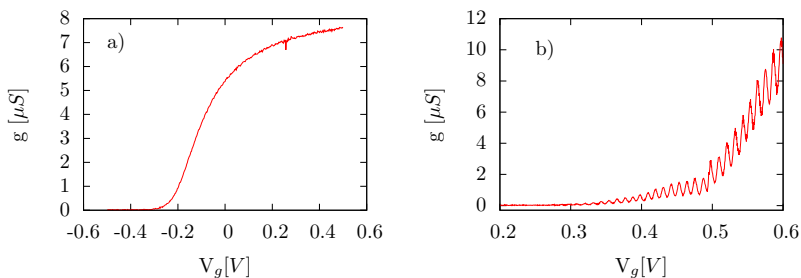


Abbildung 3.3: *Differentieller Leitwert in Abhängigkeit der Gatespannung V_g von Nanodraht-MOSFETs bei a) Raumtemperatur und b) 4,2 K.*

3.3 AFSID-Proben

Insgesamt wurden für AFSID 2 Chargen (engl. batch) mit je 20 Wafern hergestellt. Von den ca. 80 Chips (engl. die) pro Wafer wurden aus Zeitgründen nur 12 mittels Elektronenstrahlolithographie prozessiert, die somit für AFSID relevant waren. Jeder Chip ist nochmals in viele kleinere Bereiche, sogenannte Scribes, unterteilt, von denen jeder 24 Bondpads zur elektrischen Kontaktierung besitzt. Von den ungefähr 300 Scribes pro Chip konnten 49 (Batch 1) bzw. 57 (Batch 2) verwendet werden. Auf jedem Scribe wurden je nach Komplexität der Geometrie 2 - 8 Proben realisiert. In Abbildung 3.4 sind beispielhaft ein Wafer sowie

ein Teil eines gesägten Chips mit mehreren Scribes gezeigt. Alle Chips sind dabei lithographisch identisch und unterscheiden sich nur auf Waferlevel, z.B. in der Siliziumdicke, Spacerbreite oder Dotierkonzentration. Eine Übersicht der in dieser Arbeit gezeigten Proben ist in Anhang A gegeben.

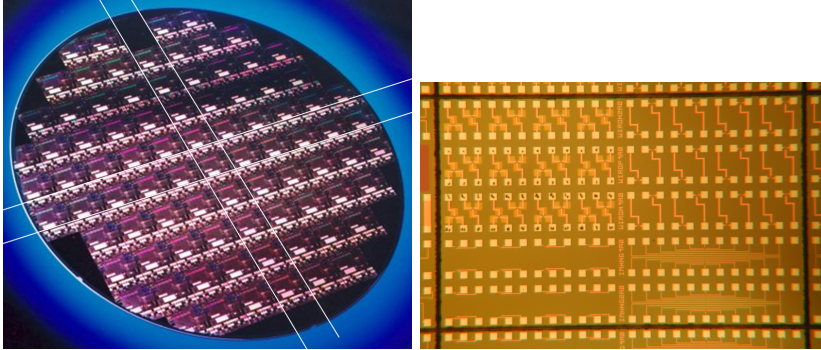


Abbildung 3.4: Links: Wafer mit ca. 80 Chips, die weißen Linien markieren einen Chip. Rechts: gesägter Chip mit 10 Scribes. Dieser wird in einen Probenhalter eingekebt und gebondet (vgl. Abbildung 3.5).

Da AFSID ein EU-Projekt mit mehreren internationalen Partnern ist, wurde zur Bezeichnung der Proben eine einheitliche englische Nomenklatur gewählt, die in der vorliegenden Arbeit ebenfalls verwendet wird. Eine solche Bezeichnung, z.B. B2W1D4FD3P19d5 (Batch 2 - Wafer 1 - Die 4 - FD3P19 (Scribename) - Device 5), bestimmt eindeutig eine Probe.

Mittels einer Wafersäge (DAD 321) wurde ein Wafer in einzelne Chips zersägt. Die Chips wurden wiederum in Stücke von etwa 2,5 mm x 4 mm gesägt, auf denen sich mehrere Scribes befanden. Diese wurden mit Leitsilber in 18-pin Probenhalter eingeklebt und anschließend mit einem Aludraht-Bonder (Delvotec FK 5300) kontaktiert. Eine solche Probe ist in Abbildung 3.5 gezeigt.

3.4 Messaufbau

Für die Tieftemperaturmessungen stand ein Helium-Kryostat von Oxford mit integriertem 8T-Magneten zur Verfügung, der in Abbildung



Abbildung 3.5: *In Probenhalter mit Leitsilber eingeklebte und gebondete Probe.*

3.6 skizziert ist. Dieser kann als Badkryostat für Messungen bei 4,2 K verwendet werden. Durch Pumpen am Heliumreservoir können Temperaturen von bis zu 1,5 K erreicht werden. Messungen bei 4,2 K konnten auch direkt in den Helium-Kannen durchgeführt werden. Diese hatten ohne Nachfüllen eine Standzeit von bis zu 2 Monaten und einen deutlich geringeren Heliumverbrauch als der Kryostat. Daher wurden bis auf Messungen bei 1,5 K und Messungen im Magnetfeld alle Messungen in der Kanne durchgeführt. Zur elektrischen Charakterisierung der Proben standen zwei verschiedene Messsysteme zur Verfügung bzw. wurden aufgebaut, die im Folgenden erklärt werden.

3.4.1 DC-Messung

Eine Messmethode, die zum Einsatz kam, war eine spannungsgesteuerte Gleichstrommessung. An die Source-Drain-Kontakte des SETs wurde eine kleine Spannung angelegt und der resultierende Strom gemessen (vgl. Abbildung 3.7).

Dazu wurden Source Measure Units von Keithley (SMU 236 und SMU 2636A) verwendet, mit denen die benötigte Spannung angelegt wurde sowie

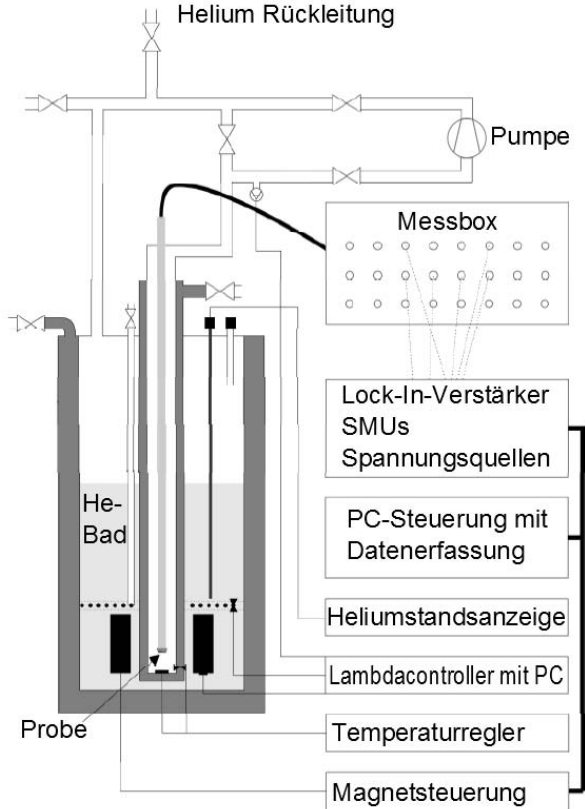


Abbildung 3.6: Schematischer Aufbau des ^4He -Badkryostaten. modifiziert aus [Ken07]

gleichzeitig der resultierende Strom gemessen. Die Steuerung der Gate-Spannung erfolgte ebenfalls mit Gleichspannungsquellen, dabei kamen entweder SMUs oder eine Quad Voltage Source KEI213 mit vier unabhängigen Spannungsquellen von Keithley zum Einsatz. Die negativen Pole der Spannungsquellen wurden zusammen mit Source als gemeinsame Masse auf Erde gelegt. Das Grundrauschen lag bei der DC-Messung bei etwa 0,2 pA.

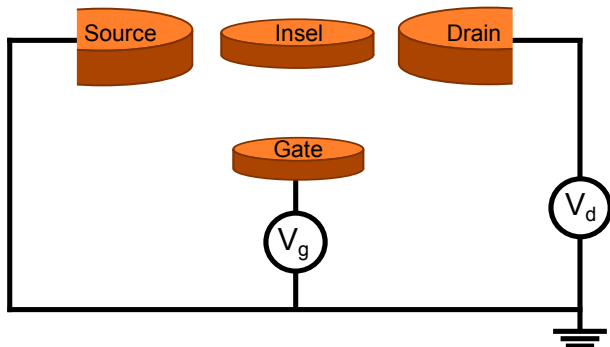


Abbildung 3.7: Schematische Darstellung der DC-Messung.

3.4.2 Lock-In-Messung

Bei der anderen Messmethode kam ein Lock-In-Verstärker zum Einsatz. Bei der Lock-In-Messung wird eine geringe Wechsellspannung mit bestimmter Frequenz, die vom Lock-In-Verstärker erzeugt wird, angelegt. Das Messsignal ist folglich mit derselben Frequenz moduliert wie die Anregespannung. Der Lock-In-Verstärker fungiert dabei als sehr schmaler Bandpass, der alle nicht der Anrefrequenz entsprechenden Signale herausfiltert. Dadurch erhält man ein deutlich verbessertes Signal-Rausch-Verhältnis. Für nichtlineare Messungen lässt sich die Wechsellspannung

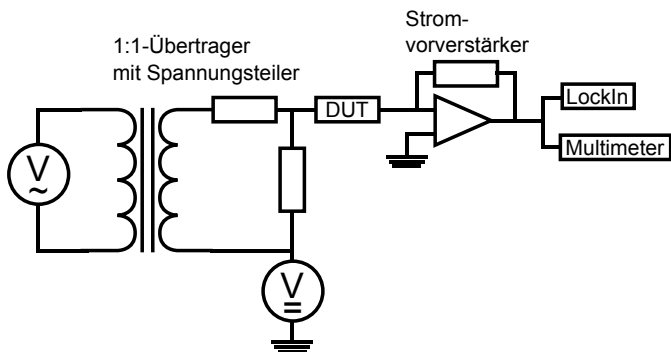


Abbildung 3.8: Schematische Darstellung der Messung mit Lock-In-Verstärker. Die Gatespannung ist der Übersichtlichkeit wegen nicht eingezeichnet. Hier kommt wie bei der DC-Messung eine Gleichspannungsquelle zum Einsatz.

mittels einer weiteren Gleichspannungsquelle um einen beliebigen Offset verschieben. Da die resultierenden Ströme aufgrund der geringen angelegten Wechselspannung sehr klein sind, werden diese durch einen Strom-Vorverstärker verstärkt. Anschließend kann der DC-Anteil mittels eines Multimeters (HP3411A) und der AC-Anteil mittels des Lock-In-Verstärkers gemessen werden. Eine solche Schaltung ist in Abbildung 3.8 skizziert. Da mit der Lock-In-Messung auch kleinste Signale gut aufgelöst werden können und außerdem DC- und AC-Messung gleichzeitig durchgeführt werden können, wurde diese Messtechnik nach Aufbau des entsprechenden Systems der reinen DC-Messung vorgezogen. Das Grundrauschen lag bei der Lock-In-Messung bei etwa $6 \cdot 10^{-4} \frac{e^2}{h}$, bzw. $3 \cdot 10^{-4} G_0$, mit dem doppelten Leitwertquant $G_0 = 2 \frac{e^2}{h}$. In den Stabilitätsdiagrammen wird der differentielle Leitwert in Einheiten von G_0 aufgetragen (vgl. Kapitel 5).

Bei der Vermessung der SET-FET-Hybride kam eine modifizierte Beschaltung zum Einsatz, die im entsprechenden Abschnitt in Kapitel 7 detailliert erläutert wird.

Die Messdatenerfassung und Steuerung der Geräte erfolgte über die GPIB-Schnittstelle eines Computers mit der Software Measkern2 von U. Wilhelm und C. Höppler.

Kapitel 4

Elektrische Charakterisierung

Die Herstellung der Einzelelektronentransistoren für das Projekt AFSID ist in Bezug auf die Anzahl der Proben und verschiedenen Geometrien sowie die Integration und Herstellung mittels einer CMOS-Plattform bisher einzigartig. So wurden einige der in Kapitel 3.1 genannten Prozesse speziell für die Herstellung dieser Proben angepasst und optimiert. Die Herstellung der Proben erfolgte in zwei Chargen, Erkenntnisse aus der ersten Charge halfen bei der Verbesserung der Zweiten. Wie in Kapitel 3.2 beschrieben, entspricht das Verhalten bei Raumtemperatur dem

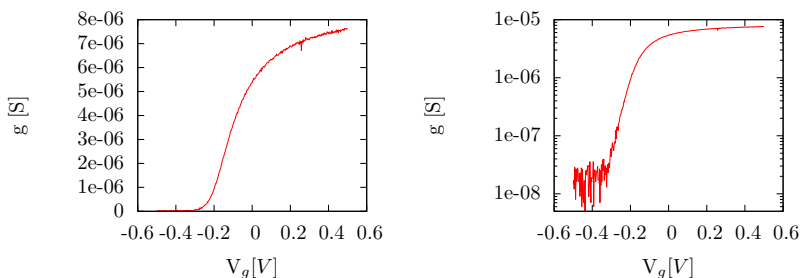


Abbildung 4.1: *Differentieller Leitwert g in Abhängigkeit der Gatespannung V_g eines FETs bei Raumtemperatur (links). In logarithmischer Darstellung ist der Verlauf unterhalb der Schwellenspannung V_{th} eine Gerade (rechts).*

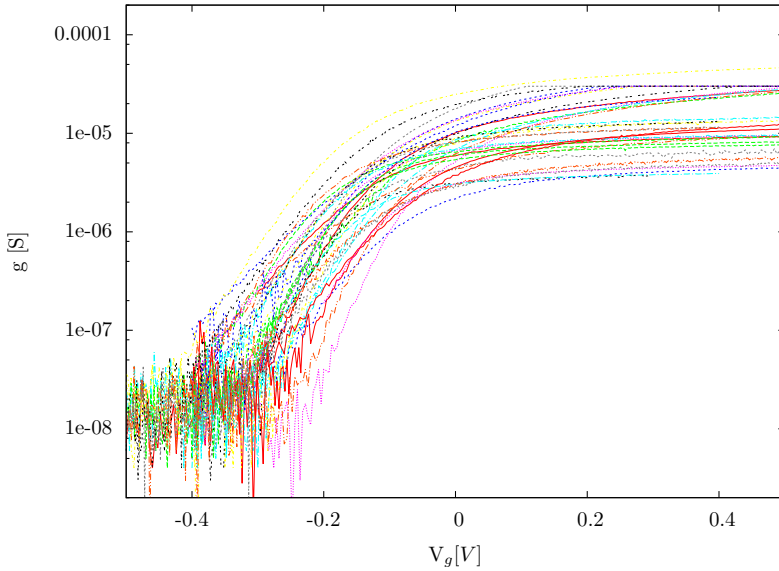


Abbildung 4.2: Die MOSFET-Charakteristiken bei Raumtemperatur zeigen jeweils ähnliche Schwellspannungen sowie einen ähnlichen Gate-Swing. Der Strom ist komplett unterdrückt bzw. an der durch Messaufbau und -geräte vorgegebenen unteren Grenze.

eines Feldeffekttransistors. Um die Funktionsfähigkeit zu prüfen, wurde deshalb bei Raumtemperatur eine I_d - V_g -Kennlinie aufgenommen. Bei der Lock-In-Messung wird anstatt des Stroms der differentielle Leitwert g verwendet, die prinzipielle Messung ist jedoch dieselbe. Die I_d - V_g -Messungen, sofern nicht anders angegeben, erfolgten im linearen Regime. Anhand dieser Kennlinie lassen sich Kenngrößen, die einen MOSFET charakterisieren, bestimmen. Die Schwellspannung V_{th} (engl: threshold voltage) ist die Spannung, bei der im FET eine Inversionschicht gebildet wird, der Transistor in den „An“-Zustand übergeht und Strom fließt. Die Bestimmung der Schwellspannung V_{th} erfolgte durch grafische Extrapolation des linearen Bereich der g - V_g -Kennlinie (vgl. Abbildung 4.1 links) bis zur Abszisse ($g = 0$). Der Gate-Swing S (engl. subthreshold swing), der reziproke Wert der Steigung unterhalb der Schwellspannung, ergibt sich zu $S = \ln(10) \left(\frac{kT}{q} \right) \left(1 + \frac{C_D}{C_{ox}} \right)$ und entspricht der Gate-Spannungsänderung, die eine Stromänderung um eine Dekade bewirkt

[SN06]. C_D und C_{ox} sind die Kapazität des Oxids bzw. der Verarmungsschicht. Typische Werte für den Gate-Swing eines MOSFETs betragen zwischen 60 mV/dec und 120 mV/dec. Je kleiner der Wert, desto schnellere Schaltzeiten werden erreicht. In Abbildung 4.1 ist eine solche Kennlinie gezeigt. Die Schwellspannung V_{th} kann hier zu -233 mV und der Gate-Swing zu 95 mV/dec abgelesen werden. Bis auf wenige Ausnahmen betrug bei den in dieser Arbeit verwendeten Proben mit undotiertem Kanal V_{th} zwischen $-0,3$ V und $-0,1$ V. Der Gate-Swing lag in dem für MOSFET üblichen, oben angegebenen Bereich und es konnte eine komplette Abschnürung des Kanals, limitiert durch Rauschen und die Messgeräteenauigkeit, erreicht werden (vgl. Abbildung 4.2).

Bei 4,2 K, der Temperatur von flüssigem Helium, hat man das Verhalten eines Einzelelektronentransistors, da die Bedingungen aus Kapitel 2.1.3 erfüllt sind und der Stromtransport durch Tunneln einzelner Elektronen erfolgt. In Abbildung 4.3 sind die charakteristischen Kennlinien eines Einzelelektronentransistors gezeigt. Die I_d - V_d -Kennlinie zeigt eine deutliche Coulomb-Blockade, im I_d - V_g -Bild sind die äquidistanten Coulomb-Blockade-Oszillationen zu sehen. Im Gegensatz zu der Darstellung in Abbildung 2.3 geht der Leitwert zwischen den Coulombpeaks nicht immer auf Null zurück. Dies liegt zum einen daran, dass die endliche Temperatur zu einer thermischen Verbreiterung der Peaks führt, zum anderen werden die Barrieren aufgrund der Topgate-Architektur durch eine steigende Gatespannung verkleinert (vgl. Abbildung 3.2). Durch einen eventuellen Offset in der Source-Drain-Spannung, wie er zum Teil in den Stabilitätsdiagrammen zu sehen ist, verstärkt sich der Effekt.

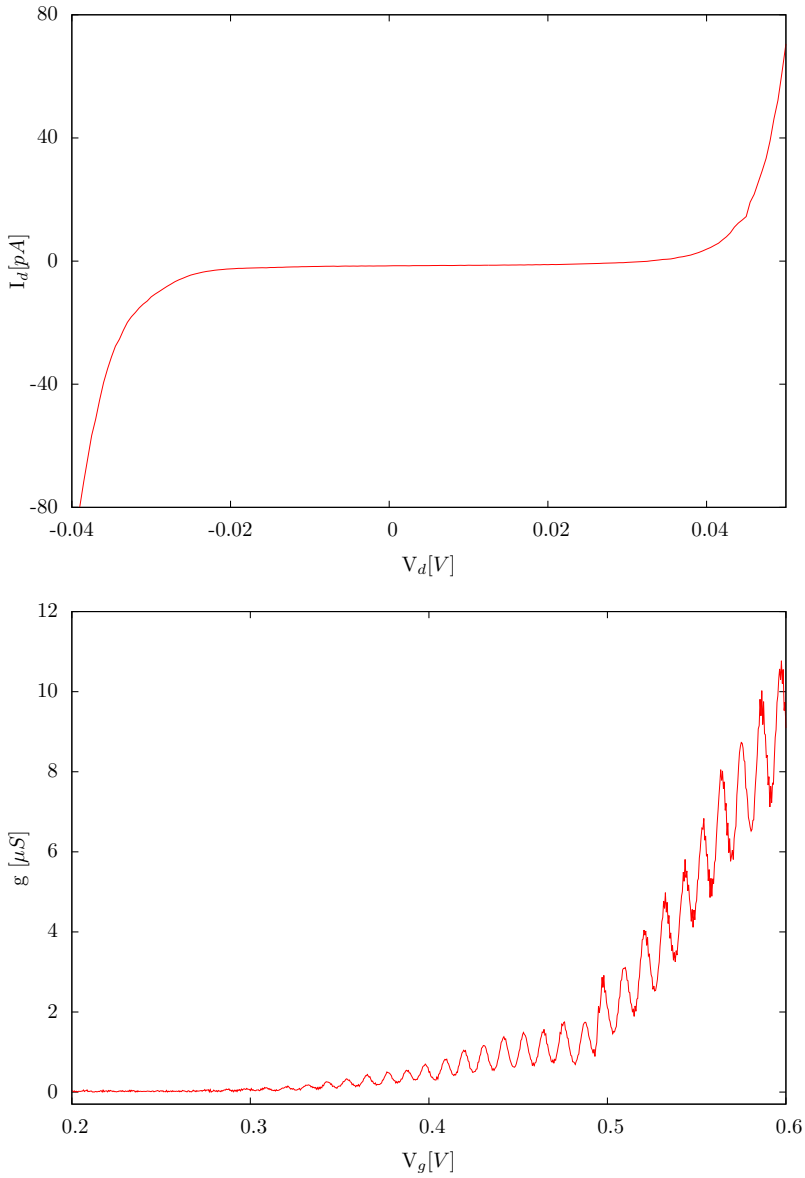


Abbildung 4.3: Charakteristische Kennlinien eines SETs. I_d - V_d mit Coulomb-Blockade (oben) und differentieller Leitwert g in Abhängigkeit der Gatespannung V_g mit Coulomb-Blockade-Oszillationen (unten)

Kapitel 5

Einzelgate-SETs

Der grundlegendste und einfachste im Zuge von AFSID hergestellte Einzelelektronentransistor besteht aus einem Nanodraht, der von einem Topgate gekreuzt wird, wie in Abbildung 5.1 skizziert. Das entsprechende Ersatzschaltbild ist ebenfalls dargestellt. Diese Einzelelektronentransistoren zeigen bei tiefen Temperaturen eine ausgeprägte Coulomb-Blockade bzw. Coulomb-Blockade-Oszillationen. Für die Probe B2W1D3FD3P19d5, ein SET mit der Geometrie wie in Abbildung 5.1 bei einer Kanalbreite W von 50 nm und einer Gatelänge L von 40 nm, ist dies in Abbildung 5.2 für $T = 4$ K gezeigt. Man sieht deutlich äquidistante Peaks über einen großen Bereich der Gatespannung.

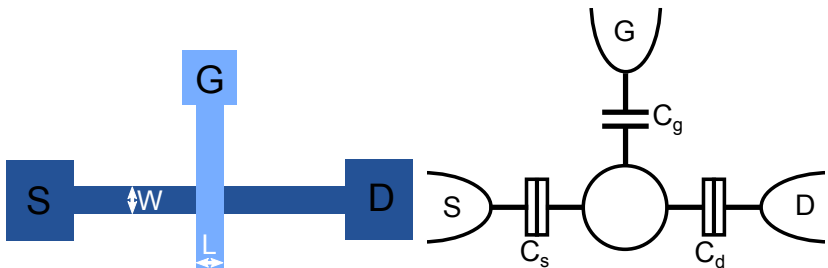


Abbildung 5.1: Links: Layout eines Einzelgate-SETs. S , D und G bezeichnen Source-, Drain- und Gate-Elektrode, W die Breite des Drahts und L die Gatelänge. Rechts: Ersatzschaltbild eines Einzelelektronentransistors mit Tunnelbarrieren mit den entsprechenden Source- und Drainkapazitäten C_s und C_d sowie der Gatekapazität C_g .

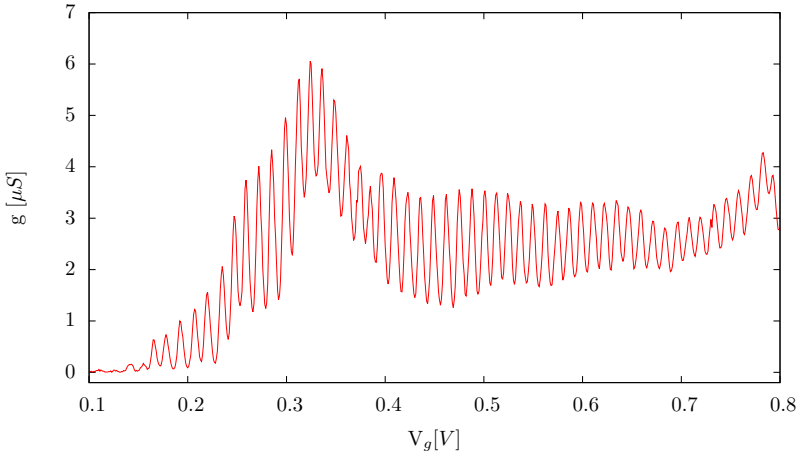


Abbildung 5.2: *Coulomb-Blockade-Oszillationen bei tiefen Temperaturen.*

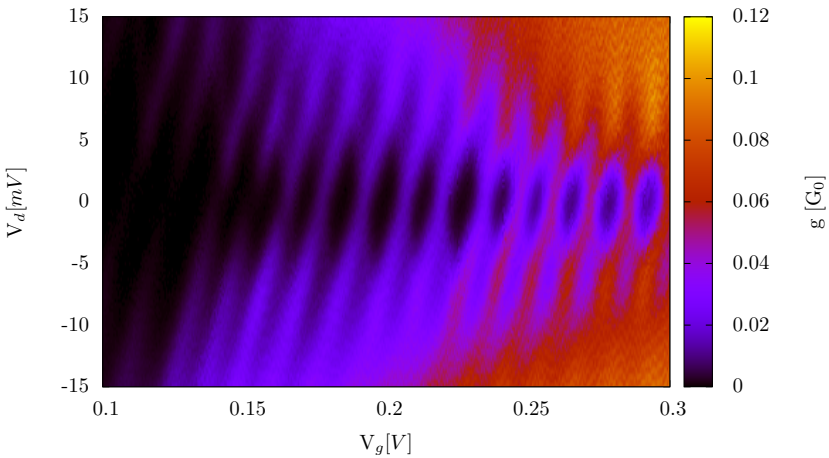


Abbildung 5.3: *Stabilitätsdiagramm mit Coulomb-Rauten. Die Punkte zwischen den Rauten auf der $V_d = 0$ -Achse entsprechen den Leitfähigkeitsspitzen aus Abbildung 5.2.*

Thermisches SiO₂ besitzt eine Durchschlagsspannung von etwa 1 V/nm. Die bei diesen Proben verwendete Gateoxidicke von 5 nm (siehe Kapitel 3.1) ermöglicht folglich Gatespannungen von bis zu 5V. Prozessbedingte lokale Dickschwankungen sowie lokale Defekte in der Oxidschicht können zu Leckströmen durch das Oxid führen und die Probe irreparabel beschädigen. Da die Schwellspannung und somit der interessante Bereich der ersten Elektronen in der Probe meist bei niedrigen Spannungen lag und die Gefahr der Bauteilzerstörung bei höheren Spannungen bestand, kamen in den meisten Fällen nur Gatespannungen bis 1,5V zum Einsatz. Im Stabilitätsdiagramm in Abbildung 5.3 erkennt man die in Kapitel 2.1.6 erläuterten Coulomb-Rauten. Der differentielle Leitwert ist in Einheiten des doppelten Leitwertquants mit $G_0 = 2\frac{e^2}{h}$ farbkodiert gegen die Source-Drain-Spannung V_d und die Gatespannung V_g aufgetragen. In den schwarzen Bereichen, also innerhalb der Rauten, ist dieser Null und der Stromtransport blockiert. Aus beiden Abbildungen lässt sich der Abstand zwischen den Coulomb-Blockade-Peaks $\Delta V_g \approx 13$ mV ablesen. Aus den Stabilitätsdiagrammen lassen sich auch die Kapazitäten der Tunnelkontakte zu Source und Drain C_s und C_d sowie die Gatekapazität C_g ermitteln. Dies ist in Abbildung 5.4 für zwei andere SETs gezeigt. Bei kleineren Gatespannungen konnten keine weiteren Rauten oder Strukturen im Stabilitätsdiagramm beobachtet werden. Es wird daher angenommen, dass die sichtbaren Rauten die ersten Elektronen auf der Insel zeigen. In GaAs/AlGaAs-Heterostrukturen konnte gezeigt werden, dass bei Eintreten der ersten Leitwertoszillationen sich bereits einige Elektronen auf dem Quantenpunkt befinden und die ersten Elektronen anhand von Transportmessungen nicht nachgewiesen werden konnten [Sch15]. Wenn in dieser Arbeit von den ersten Elektronen gesprochen wird, sind stets die zu den ersten sichtbaren Rauten im Stabilitätsdiagramm gehörenden Elektronen gemeint. Eine weitere Möglichkeit ist, dass die Signale so klein sind, dass sie nicht aufgelöst werden können, da sie im Grundrauschen verschwinden. Aus den Abständen der Coulomb-Peaks, bzw. im Stabilitätsdiagramm dem Abstand der Schnittpunkte der Begrenzungslinien der Coulomb-Rauten, den roten Geraden in Abbildung 5.4, lässt sich mit Hilfe von Gleichung 2.19 die Gatekapazität berechnen. Aus den Begrenzungslinien mit negativer Steigung erhält man mittels Gleichung 2.25 die Kapazität zwischen Insel und Drain C_d und aus der positiven Steigung mittels Gleichung 2.21 die Kapazität zwischen Insel und Sour-

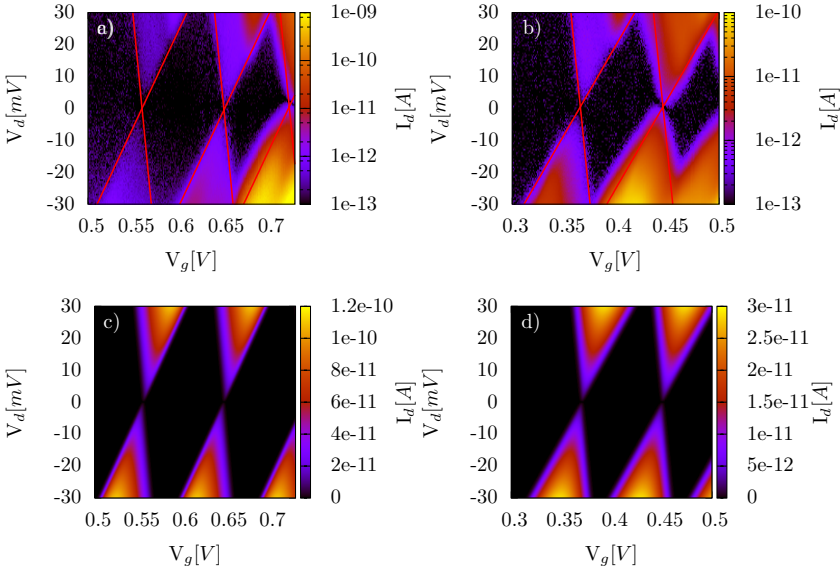


Abbildung 5.4: Stabilitätsdiagramme der SETs POESINTL50Ad4 (a) und POESINTL50Ad3 (b) mit eingezeichneten Begrenzungslinien der Coulomb-Rauten aus deren Steigung und Abstand sich alle Teilkapazitäten berechnen lassen. Simulation der Stabilitätsdiagramme (c, d) mit den aus a) und b) ermittelten Werten der Kapazitäten.

ce C_s . Mit der Gesamtkapazität C_Σ aus Gleichung 2.3 lässt sich die Ladeenergie $E_C = \frac{e^2}{C_\Sigma}$ bestimmen. Damit lässt sich die Temperatur, bis zu der Coulomb-Blockade-Oszillationen sichtbar sind, abschätzen (siehe Kapitel 2.1.4). In Tabelle 5.1 sind für die zuvor genannten Größen die aus der Abbildung 5.4 extrahierten Werte für die beiden dort gezeigten Proben aufgeführt. Die Ladeenergien E_C , die benötigt werden, um ein weiteres Elektron von der Zuleitung auf die Insel zu befördern, sind mit 46 meV und 38 meV sehr hoch. Die hier aufgeführten Ladeenergien mit den entsprechenden Temperaturen beziehen sich nur auf das Hinzufügen der ersten Elektronen, also auf die erste und größte Coulomb-Raute. Die folgenden Rauten sind schon deutlich kleiner und im metallischen Bereich mit äquidistanten Oszillationen beträgt der Abstand etwa 36,8 mV bei POESINTL50Ad3 und 28,2 mV bei POESINTL50Ad4. Ist die Ladeenergie für das erste Elektron beim geometrisch größeren SET noch höher, zeigt sich im metallischen Bereich wieder das gewohnte Bild, dass

Tabelle 5.1: *Extrahierte Werte aus den Stabilitätsdiagrammen*

Probe	POESINTL50Ad4	POESINTL50Ad3
pos. Steigung	0,60	0,56
neg. Steigung	-2,92	-3,23
ΔV_g [mV]	92	80
C_g [F]	$1,7 \cdot 10^{-18}$	$2,0 \cdot 10^{-18}$
C_d [F]	$6,0 \cdot 10^{-19}$	$6,2 \cdot 10^{-19}$
C_s [F]	$1,2 \cdot 10^{-18}$	$1,6 \cdot 10^{-18}$
E_C [meV]	46	38
theor. Temp. [K]	159	133

sich die Ladeenergie mit kleiner werdenden Dimensionen der Strukturen vergrößert (siehe auch Kapitel 5.1). In diesem Kapitel wird auch auf die Variabilität solch kleiner Bauteile eingegangen. Die ermittelten Ladeenergien sind innerhalb AFSID mit die höchsten Werte. MOS-SETs die vor AFSID hergestellt wurden, erreichten meist Ladeenergien von wenigen meV. Die resultierenden Temperaturen, bei denen sich bei diesen AFSID-Proben Coulomb-Blockade-Oszillationen theoretisch noch betrachten lassen, sind dementsprechend auch deutlich höher als bei früheren Proben. Waren bisher CBOs nur mit flüssigem Helium sichtbar, liegen die Temperaturen mit 133 K bzw. 159 K sogar deutlich über der Temperatur von flüssigem Stickstoff mit 77 K. Für Raumtemperaturanwendungen (300 K) sind diese SETs jedoch noch nicht ausreichend, hierfür werden Ladeenergien von über 86 meV benötigt. Bei den kleinsten für AFSID hergestellten Proben beträgt sowohl die Gatelänge L als auch die Kanalbreite W 20 nm. Die in Abbildung 5.4 gezeigten Proben haben mit 20 nm zwar die kleinste Gatelänge, die Kanalbreite ist jedoch größer, nämlich 50 nm (POESINTL50Ad3) bzw. 100 nm (POESINTL50Ad4). Durch weitere Reduzierung der Dimensionen könnten CMOS-kompatible MOS-SETs bei Raumtemperatur zur Anwendung kommen. Dieses Ziel ist durchaus realistisch, da laut ITRS (International Technology Roadmap for Semiconductors) bis 2016 die „11 nm node“ mit Gatelängen unter 20 nm eingeführt sein soll [ITR]. Wie bereits erwähnt, lassen sich aus dem Stabilitätsdiagramm alle Teilkapazitäten ermitteln. Umgekehrt lässt sich aus diesen Kapazitäten auch das Stabilitätsdiagramm bilden. In Abbildung 5.4c), d) ist eine Simulation der Stabilitätsdiagramme für die Einzelelektronentransistoren mit den Kapazitätswerten aus Tabelle

5.1 dargestellt. Da die Werte nur für die erste Raute exakt sind, erhält man auch nur für diese eine sehr gute Übereinstimmung zwischen Simulation und Messung. Eine genauere Beschreibung des verwendeten Simulationsprogramms und seiner Funktionsweise sowie Möglichkeiten und Einschränkungen werden in Kapitel 5.2 gegeben.

5.1 Auswirkung der Inselgeometrie

Die in dieser Arbeit untersuchten Einzelelektronentransistoren bestehen aus einer kleinen undotierten Siliziuminsel, die die Coulomb-Ladeeffekte bestimmt. Wie bereits erwähnt, ist die Größe dieser Insel eine der entscheidenden Eigenschaften. Durch die Verkleinerung des SETs erhöht sich nicht nur die mögliche Packungsdichte und dadurch die Leistung, sondern auch die mögliche Betriebstemperatur. Um in Personal Computern oder Unterhaltungselektronik zur Anwendung zu kommen, ist es unbedingt nötig, dass der SET bei Raumtemperatur eingesetzt werden kann.

Die für AFSID gefertigten SETs unterscheiden sich in Bezug auf die Geometrie in der Gatelänge, der Kanalbreite und der Siliziumdicke. Aus der $I_d - V_g$ -Kennlinie der einzelnen Proben wurde der Abstand der Peaks ΔV_g im metallischen Bereich ausgemessen und mittels Gleichung 2.19 die Gatekapazität C_g bestimmt. Desweiteren wurden mehrere Leitfähigkeitspeaks mit der Funktion

$$g(V_g) = \frac{g_{max}}{\cosh^2(\alpha e V_g / 2k_B T)} \quad (5.1)$$

angefittet. g_{max} bezeichnet hierbei die Peakhöhe des zu fittenden Peaks. α ist der Gatehebelarm, der die Wirkung des Gates auf die Insel beschreibt, und ist durch

$$\alpha = \frac{C_g}{C_\Sigma} \quad (5.2)$$

gegeben. T ist die Temperatur der Probe, die hier jeweils der Badtemperatur entspricht. Eine solche Fitkurve ist in Abbildung 5.5 gezeigt. Für ΔV_g und α wurden jeweils Mittelwerte aus mehreren Messungen bzw. Fits verwendet. Zum Vergleichen der Messwerte wurden geometrische Modelle eines Parallelplattenkondensators verwendet, diese sind in Abbildung 5.6 gezeigt. Dabei wird das Gate und die Insel jeweils als

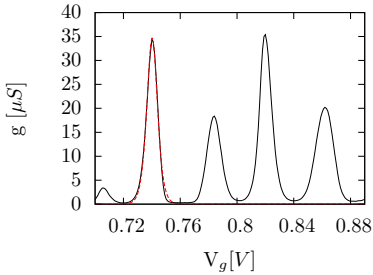


Abbildung 5.5: Coulomb-Blockade-Oszillationen. Die rote Kurve zeigt Gleichung 5.1 an einen einzelnen Peak angefitet.

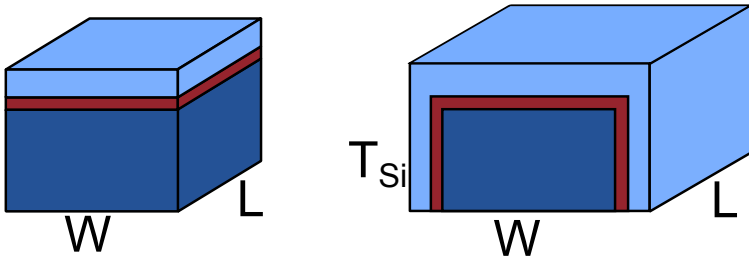


Abbildung 5.6: Links: Gate und Insel als Plattenkondensator. Rechts: Größere effektive Fläche aufgrund der FinFET-Geometrie.

Platte angenommen mit SiO_2 als Dielektrikum. Im einfachsten Fall beträgt die Fläche $A = \text{Kanalbreite } W \times \text{Gatelänge } L$. Da das Gate bei den AFSID-Proben den Kanal ähnlich wie bei einem Fin-FET von drei Seiten umschließt, wurde auch das Modell mit größerer Fläche, welches die Höhe der Siliziumschicht T_{Si} mit einschließt, betrachtet. Diese Fläche ergibt sich zu $A^* = W \cdot L + 2T_{\text{Si}} \cdot L$. Die Kapazität errechnet sich zu

$$C = \epsilon_0 \epsilon_r \frac{A}{d} \quad (5.3)$$

für die Plattenflächen A bzw. A^* . Die Dielektrizitätszahl ϵ_r von SiO_2 beträgt 3,9 und die Dicke d der Oxidschicht 5 nm. Die ermittelten Werte für die Gatekapazität sind in Abbildung 5.7 in Abhängigkeit der Fläche A a) sowie der Fläche A^* b) aufgetragen. Die rote Gerade ist der mit Gleichung 5.3 berechnete Wert. Die verschiedenen Farben der Punkte kennzeichnen die unterschiedlichen Wafersplits (Siliziumdicke, Spacerbreite, etc.). In Abbildung 5.7a) liegt die Mehrzahl der Messpunkte etwas oberhalb der roten Geraden. Die berechnete Kapazität ist zu klein, da in diesem Fall nur die horizontale Fläche berücksichtigt wird (vgl. Abbildung 5.6). Wird die größere Fläche A^* verwendet, die aus der

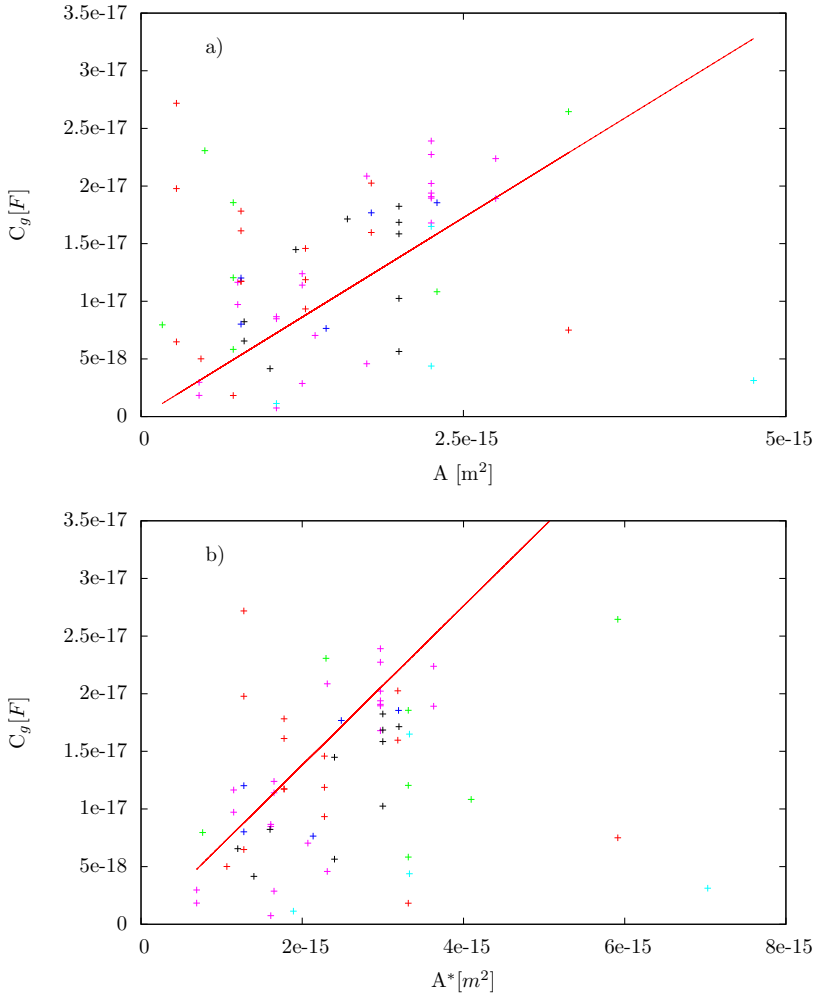


Abbildung 5.7: Gatekapazität C_g vs Fläche A a) bzw. Fläche A^* b).

FinFET-Geometrie resultiert, liegen die Messwerte eher leicht unterhalb der berechneten Werte, was einer kleineren effektiven Fläche entspricht. Eine mögliche Erklärung hierfür ist, dass der Siliziumkanal nicht perfekt rechteckig ist, wie im Querschnitt in Abbildung 3.1 zu erkennen ist. Während eine positive Korrelation zwischen Fläche und Gatekapazität vorliegt, gibt es eine erhebliche Streuung der Messwerte. Die Ausreis-

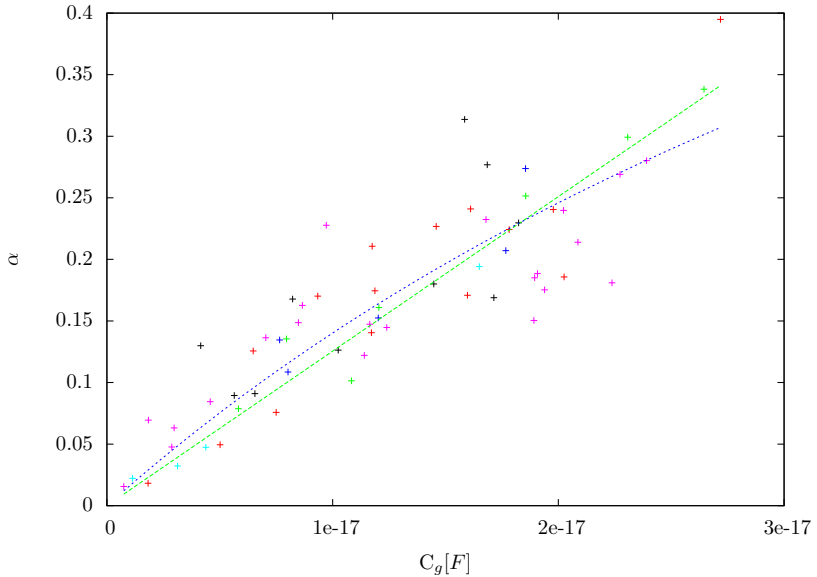


Abbildung 5.8: Gatehebelarm α in Abhängigkeit von der Gatekapazität C_g mit zwei Fitkurven. Die verwendeten Fitfunktionen sind in Tabelle 5.2 angegeben.

Tabelle 5.2: Variablen und Bestimmtheitsmaß der Fits

Fitfunktion	$f(x) = \frac{x}{a}$	$f(x) = \frac{1}{1 + \frac{a}{x}}$
R^2	0,731	0,765
a	$7,97 \cdot 10^{-17}$	$6,13 \cdot 10^{-17}$

ser mit sehr kleiner Kapazität bei vergleichsweise großer Fläche können durch Dotieratome die von Source und Drain in den Inselbereich diffundiert sind, verursacht werden. Die Betrachtung von Dotieratomen im Übergangsbereich zwischen Source/Drain und Insel erfolgt in Kapitel 5.4. Ein grundlegendes Problem bei diesen sehr kleinen Transistoren ist die Variabilität. So ist es keine Seltenheit, dass nominell identische Proben unterschiedliche Gatekapazitäten besitzen [PJW⁺09]. Abbildung 5.8 zeigt den Gatehebelarm α in Abhängigkeit der Gatekapazität C_g . Es ist deutlich erkennbar, dass α mit kleinerem C_g ebenfalls kleiner wird. Die Gatekapazität hat somit einen geringeren Anteil an der Gesamtkapazität, woraus folgt, dass Source- und Drainkapazitäten sich nicht in

gleichem Maße verringern. Zwei Funktionen wurden an die Messwerte angefitet. Die lineare (grün) entspricht Gleichung 5.2 mit a als konstante Gesamtkapazität $C_{\Sigma} = 7,97 \cdot 10^{-17}$. Die zweite (blau) erhält man aus Gleichung 5.2 mit der Gesamtkapazität $C_{\Sigma} = C_g + C_s + C_d$ und $a = C_s + C_d$ als Summe aus Source- und Drainkapazität. Die Funktionen mit den jeweiligen Variablen und dem Bestimmtheitsmaß R^2 sind in Tabelle 5.2 angegeben. Für die zweite Funktion erhält man ein etwas besseres Bestimmtheitsmaß. Anhand der geometrischen Abmessungen lässt sich das exakte Verhalten der Einzelelektronentransistoren folglich nicht vorhersagen. Jedoch wurde die Gesetzmäßigkeit, dass kleinere Strukturen zu geringeren Gatekapazitäten und somit größerer Ladeenergie bzw. möglicher Betriebstemperatur führen, bestätigt.

5.2 Beschreibung des Simulationsprogramms

Das in dieser Arbeit für die Erstellung der Stabilitätsdiagramme verwendete Simulationsprogramm wurde von Mathieu Pierre vom CEA Grenoble programmiert und uns im Rahmen von AFSID freundlicherweise zur Verfügung gestellt. Das Programm wurde mit Python geschrieben und verwendet das Paket SciPy. Es bietet die Möglichkeit, sowohl metallische Inseln als auch Quantendots mit diskreten Niveaus zu verwenden bzw. auch miteinander zu kombinieren. Bei metallischen Dots kann die maximale und minimale Anzahl an Elektronen auf der Insel sowie ein Energieoffset festgelegt werden. Quantendots werden über die Energieniveaus und die jeweilige Entartung definiert. Tunnelbarrieren zwischen den Dots und zu Source und Drain sind durch die Kapazität und den Leitwert bzw. den fließenden Strom beschrieben, Gates nur durch die Kapazität. Es können beliebig viele Dots und Gates sowie Verbindungen untereinander definiert werden und dadurch auch komplexe Anordnungen realisiert werden [PHJ⁺09]. Mittels der elektrostatischen Energie der Zustände werden die Tunnelraten berechnet und die Mastergleichung gelöst [BDR02]. Die Temperatur ist wählbar, wobei angenommen wird, dass sich Source und Drain und die metallischen Dots im Gleichgewicht befinden. In den Messungen haben die Coulomb-Rauten mit Änderung der Gatespannung nicht immer eine konstante Größe. Die Höhe der Coulomb-Rauten nimmt beispielsweise mit größer werdender

Gatespannung ab (vgl. Abbildung 5.3). Es wurde bei einigen SETs auch eine Veränderung der Abstände der Coulombpeaks beobachtet. Im kapazitiven Modell dieser Simulation sind Veränderungen an den Steigungen bzw. Breiten der Coulomb-Rauten nur durch eine Änderung der entsprechenden Kapazität möglich. Die vorgegebenen Werte für die Kapazitäten und Leitwerte sind jedoch für die gesamte Simulation konstant, eine gatespannungsabhängige Variation, um z.B. die genannte Kapazitätsänderung abzubilden, ist nicht möglich.

5.3 Angeregte Zustände

Bei allen Proben, die bei tiefen Temperaturen die Coulomb-Blochade-Oszillationen zeigten, waren Coulomb-Rauten mit konstanter Elektronenzahl (weiße Rauten auf der $V_d = 0$ V-Achse in Abbildung 2.6) ebenfalls gut sichtbar. Die äußeren Rauten, bei denen die Besetzungszahl fluktuiert (graue und schwarze Bereiche), waren nicht zu erkennen. In Abbildung 5.9 ist ein Stabilitätsdiagramm gezeigt, bei dem außerhalb der ersten Coulomb-Raute zusätzliche Linien von einem angeregten Zustand zu sehen sind (vgl. Kapitel 5.3). Den Abstand zwischen den beiden Einteilchenzuständen kann man aus Abbildung 5.9 zu ca. 9 meV ablesen. Der angeregte Zustand ist durch die Linie parallel zur Rautenbegrenzung gekennzeichnet. Die Energie die benötigt wird um ein weiteres Elektron auf die Insel zu bringen beträgt etwa 36 meV. Ein numerisch berechnetes Stabilitätsdiagramm für einen Quantenpunkt mit diesen Zuständen ist in Abbildung 5.10 dargestellt. Messung und Simulation des in Abbildung 5.9 markierten angeregten Zustands stimmen sehr gut überein. Die Linien mit negativer Steigung im Bereich positiver Source-Drain-Spannung aus der Simulation sind in der Messung kaum ausgeprägt. Es scheint vielmehr als ob dort ebenfalls eine Linie mit positiver Steigung parallel zur Rautenbegrenzung verläuft. In diesem Fall würde die Raute nicht zum ersten Elektron auf der Insel gehören. Ab der zweiten Coulomb-Raute sind die weiteren Rauten deutlich kleiner als die erste, hier findet der Übergang zum metallischen Dot statt. Möglich wären auch noch weitere angeregte Zustände bei der ersten Raute, deren Linien jedoch nicht sichtbar bzw. nicht aufgelöst sind. Insgesamt waren nur bei wenigen Proben angeregte Zustände zu beobachten. Da die Bedingung $\Delta E \gg k_B T$ gegeben sein muss um Einteilchenzustände aufzulösen, war die verwendete

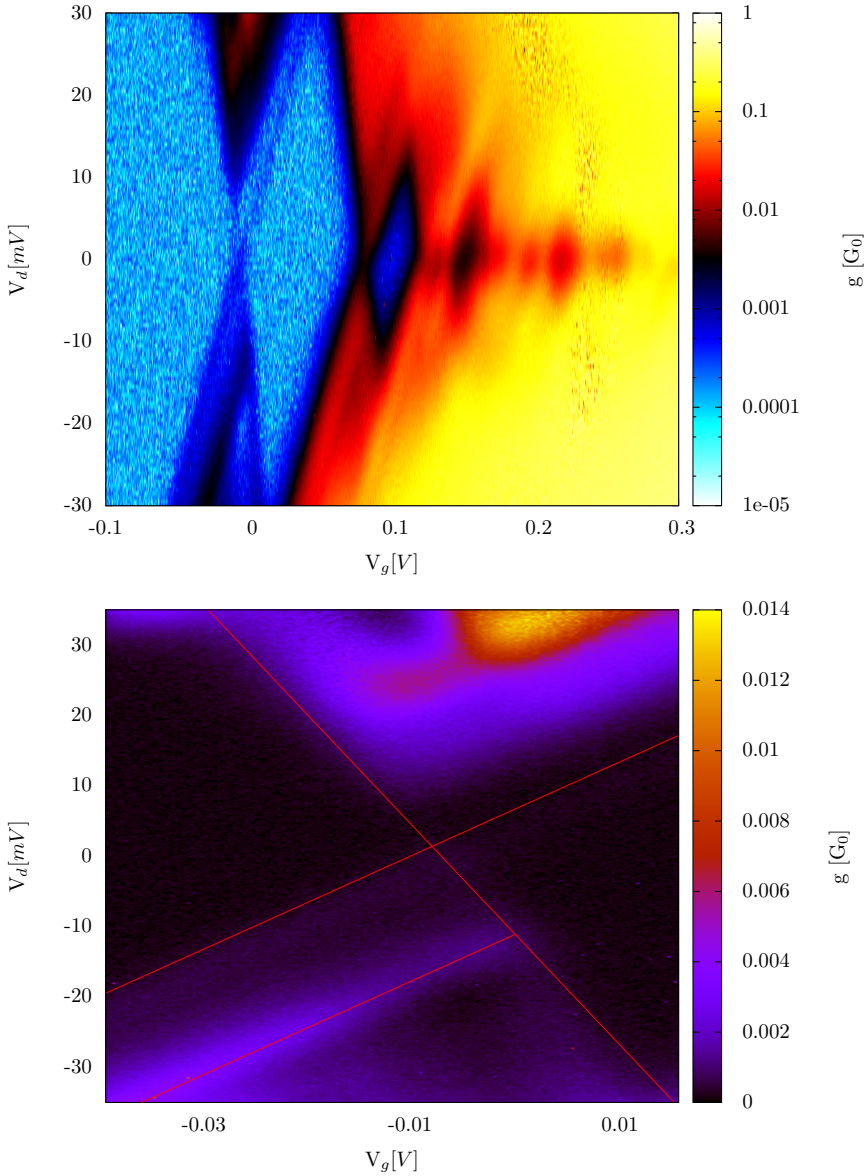


Abbildung 5.9: Stabilitätsdiagramm mit Coulomb-Rauten. An der ersten Raute sind zusätzliche Linien zu erkennen, die von einem angeregten Zustand kommen (oben). Höher aufgelöste Messung des Bereichs oben mit angeregten Zuständen. Die Begrenzungslinien der Rauten sowie der angeregte Zustand der in Abbildung 5.10 simuliert wurde sind durch Linien markiert (unten).

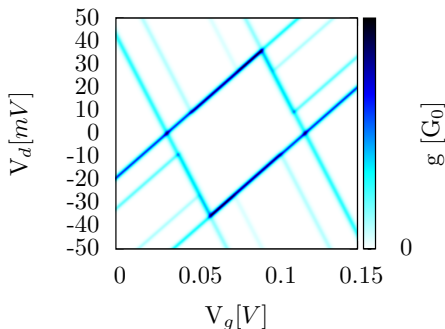


Abbildung 5.10: Simulation des Quantenpunkts aus Abbildung 5.9 mit einem angeregtem Zustand mit $\Delta E = 9 \text{ mV}$.

Probentemperatur von 4,2 K vermutlich zu hoch.

5.4 Charakteristik eines Dotieratoms

Nicht alle Proben zeigten trotz Einzelgate-Geometrie das Verhalten eines solchen Einzelelektronentransistors. Abbildung 5.11 zeigt eine $I_d - V_g$ -Kennlinie mit vielen Coulomb-Blockade-Oszillationen, moduliert durch eine Oszillation mit deutlich größerer Periode. Die kleinere Periode mit einem Abstand von etwa 18 mV zwischen den Peaks entspricht von der Größenordnung dem Wert, den man anhand der Geometrie erwartet (vgl. Kapitel 5.1). Im Stabilitätsdiagramm in Abbildung 5.11 erkennt man, dass die Modulation nicht lediglich eine Änderung der Gesamtleitfähigkeit aufgrund sich ändernder Barrieren ist, sondern durch eine zweite große Coulomb-Raute verursacht wird.

Der kritische Bereich, also die Insel der in dieser Arbeit betrachteten Einzelelektronentransistoren ist jeweils undotiert. Source und Drain sind dagegen hochdotiert um einen kleinen Widerstand der Zuleitungen zu gewährleisten. Durch höhere Temperaturen während der weiteren Prozessierung der Proben nach der Source-Drain-Dotierung ist es möglich, dass ein Dotieratom in Richtung der Insel unter die Barriere diffundiert. Dieses reale Atom, im Gegensatz zur Insel als künstliches Atom, besitzt eine sehr große Ladeenergie. Resonantes Tunneln durch dieses Atom führt zu dem gezeigten Stabilitätsdiagramm.

Die in Abbildung 5.12 gezeigte Schaltung stellt ein SET mit zusätzlichem Dotieratom im Barrierenbereich dar, die Schaltung aus Abbildung 5.1 wurde dabei um das Dotieratom, das über Tunnelbarrieren

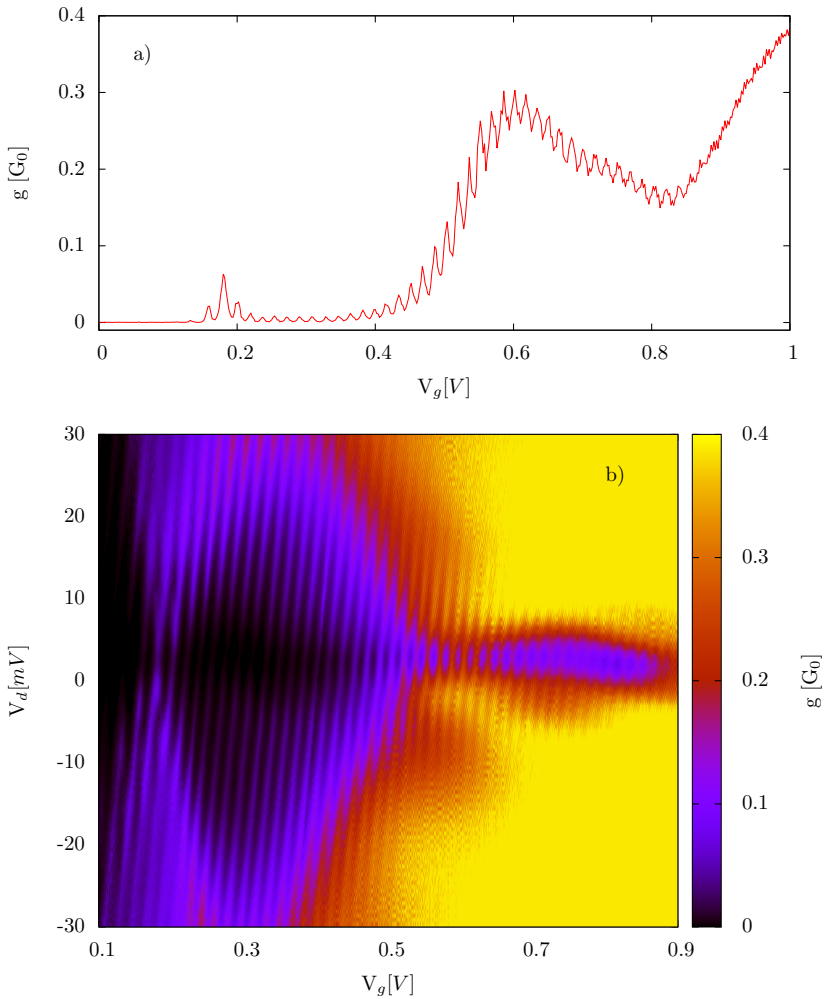


Abbildung 5.11: a) Differentieller Leitwert g des Einzelelektronentransistors in Abhängigkeit der Gatespannung V_g . b) Im Stabilitätsdiagramm sind die Coulomb-Rauten des SETs durch deutlich größere Coulomb-Rauten moduliert, die durch ein Dotieratom im Barrierenbereich des SETs erzeugt werden.

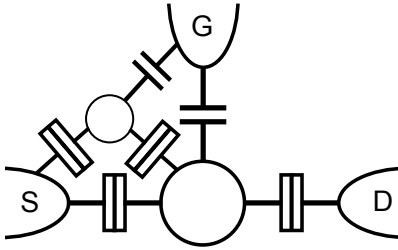


Abbildung 5.12: Schaltung eines Einzelelektronentransistors mit Dotieratom im Barrierenbereich. Dieses ist über Tunnelbarrieren mit der Insel des SETs verbunden. Das Einzelgate wirkt sowohl auf die Insel als auch auf das Dotieratom.

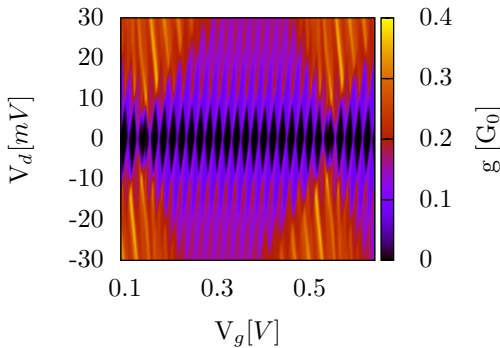


Abbildung 5.13: Simuliertes Stabilitätsdiagramm des SET mit tunnelgekoppeltem Dotieratom aus Abbildung 5.12 bei $T = 4,2\text{K}$.

an Source und die Insel angeschlossen ist, erweitert. Das Gate des SETs wirkt dabei ebenfalls über kapazitive Kopplung auf das Atom, jedoch ist der Hebelarm bei letzterem geringer. Das zugehörige simulierte Stabilitätsdiagramm für die erste große Raute ist in Abbildung 5.13 zu sehen. Die Übereinstimmung zwischen Messung und Simulation ist gegeben, die Hauptmerkmale der Messung sind in der Simulation gut erkennbar. Innerhalb der großen Raute des Dotieratoms sind in der Simulation noch die äußeren Rauten aufgrund Multielektronentransport über die Insel wie in Abbildung 2.8 links dargestellt zu erkennen. Die äußeren Rauten im nichtlinearen Bereich des Dotieratoms sind wiederum durch die SET-Insel moduliert. Diese Rauten sowie die Linien mit negativer Steigung in den äußeren Rauten des Dotieratoms sind in der Messung nicht zu sehen. Die für die Simulation verwendeten Kapazitäten sind in Tabelle 5.3 aufgelistet. Die kleineren, durch die Geometrie des SETs bedingten, Coulomb-Blockade-Oszillationen sind von einer großen, durch das Dotieratom erzeugten Raute eingehüllt. Die starke Erhöhung der Leitfähigkeit aufgrund des resonanten Tunneln durch das Dotieratom wird von Golovach et al. mit einer Ratengleichungstheorie beschrieben [GJH⁺11]. Eine

Tabelle 5.3: Für die Simulation in Abbildung 5.13 verwendete Kapazitäten. Kapazitäten mit Index 1 beziehen sich auf den SET, mit Index 2 auf das Dotieratom. C_{dd} bezeichnet die Kopplung zwischen SET und Atom.

Kapazität	F
C_{s1}	$1,5 \cdot 10^{-18}$
C_{d1}	$5,6 \cdot 10^{-18}$
C_{g1}	$8 \cdot 10^{-18}$
C_{s2}	$2 \cdot 10^{-18}$
C_{g2}	$4 \cdot 10^{-19}$
C_{dd}	$1,3 \cdot 10^{-18}$

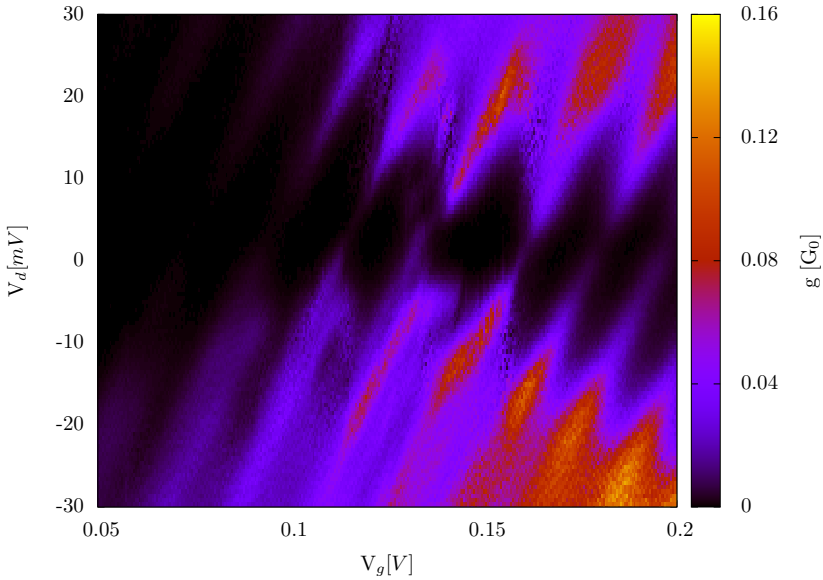


Abbildung 5.14: Bereich des resonanten Tunnelns in vergrößerter Darstellung. Durch die Überlagerung der zwei unterschiedlichen Coulomb-Oszillation sind die Coulomb-Rauten im Bereich des Leitfähigkeitspeaks etwas gestört. Die Messung erfolgte bei $T = 1,5$ K.

rein kapazitive Kopplung des Dotieratoms führt dabei nicht zu einer derart ausgeprägten Leitfähigkeitserhöhung. Eine rein serielle Konfiguration von Dotieratom und Insel ist ebenfalls auszuschließen, da in diesem Fall innerhalb der großen Raute die Leitfähigkeit unterdrückt wäre. Die

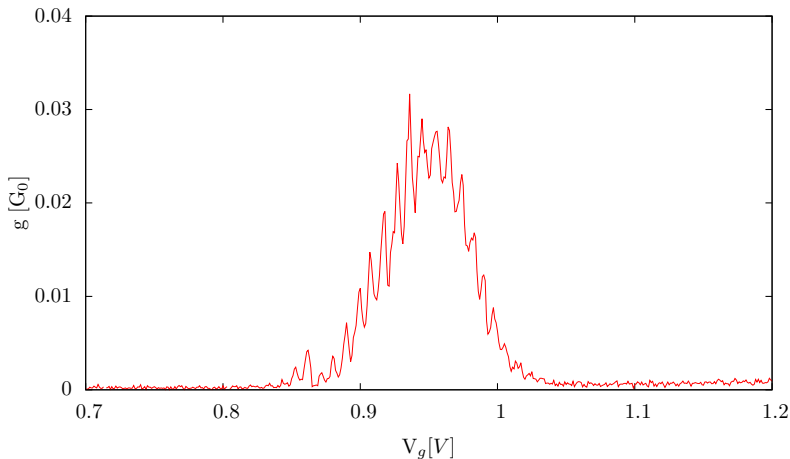


Abbildung 5.15: *Differentieller Leitwert g eines weiteren Einzelelektronentransistors in Abhängigkeit der Gatespannung V_g . Die starke Modulation wird durch ein Dotieratom im Barrierenbereich des SETs verursacht.*

Rauten sind jedoch durchgängig vorhanden, wie auch in Abbildung 5.14 gut zu erkennen ist. Lediglich die Regelmäßigkeit der SET-Coulomb-Rauten ist im Bereich der Leitfähigkeitsspitze durch die große Raute etwas gestört. Eine zusätzliche Störung der Rauten wird durch mehrere parallele Linien mit einer Steigung größer Eins verursacht. Die Herkunft dieser Linien wird in Kapitel 5.6 geklärt. Die Messung zu dieser Abbildung wurde bei einer etwas niedrigeren Temperatur von $T = 1,5$ K durchgeführt, was die Sichtbarkeit dieser Linien begünstigt.

In Abbildung 5.15 ist eine weitere Kennlinie eines SETs mit zusätzlichem Dotieratom im Barrierenbereich gezeigt. Man sieht ebenfalls die starke Erhöhung der Leitfähigkeit aufgrund des resonanten Tunnelns durch das Atom. Abseits der Erhöhung sind die Coulomb-Blockade-Oszillationen des SETs auch vorhanden. Sie sind jedoch nicht so deutlich zu erkennen, da ihre Amplitude das Auflösungsvermögen des Messaufbaus nur geringfügig überschreitet. Das Stabilitätsdiagramm ist in Abbildung 5.16 dargestellt. Dieses ist aus zwei verschiedenen Messungen bei unterschiedlichen Temperaturen zusammengesetzt, die Schnittstelle befindet sich bei $0,72$ V. Für $V_g < 0,72$ V betrug die Proben­temperatur $1,5$ K, die Messung bei $V_g > 0,72$ V erfolgte bei $T = 4$ K. Aus diesem Grund sind die Rauten für $V_g < 0,72$ V wesentlich klarer, da eine höhere

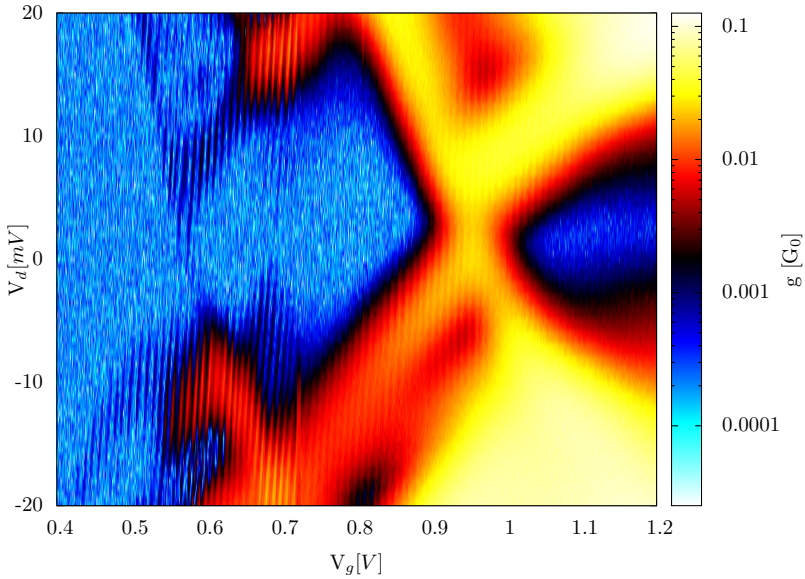


Abbildung 5.16: Falschfarbendarstellung des differentiellen Leitwerts g in Abhängigkeit der Gate- und der Source-Drain-Spannung. Das Diagramm ist aus zwei Messungen bei $T = 1,5$ K ($V_g < 0,72$ V) und $T = 4$ K ($V_g > 0,72$ V) zusammengesetzt.

Temperatur zu einer Verbreiterung der Coulomb-Blockade-Oszillationen (vgl. Kapitel 2.1.4) und somit zu einem Verschmieren der einzelnen Rauten führt. Die Auflösung bzw. Schrittweite der beiden Achsen ΔV_g bzw. ΔV_d ist mit je $0,5$ mV in beiden Messungen identisch. Im Bereich von $0,726$ V ist ein kleiner Sprung zu sehen. Dies ist nicht durch die unterschiedlichen Messungen bedingt, sondern durch eine Instabilität der Probe während der Messung bei der höheren Temperatur.

Für die technische Anwendung des Einzelelektronentransistors sind Störstellen im Bauteil prinzipiell unerwünscht. Aus wissenschaftlicher Sicht ist es allerdings interessant, da ein einzelnes diffundiertes Dotieratom im Kanal eine Transportspektroskopie ermöglicht [PWJ⁺10]. Die Barriere bei den in dieser Arbeit verwendeten Einzelelektronen wird durch die Siliziumnitridspacer definiert, dabei kamen 15 nm- und 40 nm-Spacer zum Einsatz. SETs mit der Signatur eines Dotieratoms in der Barriere wurden bei beiden Spacerbreiten gefunden. Es ist anzunehmen,

dass das Auftreten eines Dotieratoms aufgrund des zu diffundierenden Weges mit steigender Spacerbreite abnimmt. Die gemessene Probenzahl war, in Anbetracht der geringen Auftretenswahrscheinlichkeit, für eine gesicherte Aussage jedoch zu gering.

5.5 Einzelektronentransistoren im Magnetfeld

Das Anlegen eines Magnetfeldes führt bei Atomen aufgrund des Zeeman-Effekts zur Aufspaltung der Spektrallinien. Bei einem Quantenpunkt, der auch als künstliches Atom bezeichnet wird, sind ähnliche Effekte zu erwarten. So verschieben sich z.B. die diskreten Level des Punkts in Gegenwart eines Magnetfelds [Ash96]. In Abbildung 5.17 ist der differentielle Leitwert in Abhängigkeit der Gatespannung für verschiedene Magnetfeldstärken aufgetragen. Die einzelnen Kurven sind der besseren Erkennbarkeit wegen um jeweils $1 \cdot 10^{-3} G_0$ zueinander verschoben und wurden mit einem Magnetfeld von $B = 0 \text{ T}$ (unterste) bis $B = 8 \text{ T}$ (oberste) in Schritten von 100 mT aufgenommen. Bei $T = 2,7 \text{ K}$ ist ein Versatz in den Kennlinien zu erkennen. Dieser Sprung ist nicht magnetfeldabhängig, sondern ein Effekt durch Verschiebung von Hintergrundladungen in der Probe, und bleibt auch nach Abschalten des Magnetfelds bestehen. Abbildung 5.17b) zeigt den differentielle Leitwert farbkodiert. Je heller die Farbe desto höher der Leitwert. Zwischen $V_g = 0,4 \text{ V}$ und $V_g = 0,6 \text{ V}$ sind noch drei schwache Linien auszumachen, die in a) nicht mehr zu erkennen sind. Die Verschiebung die man aufgrund des Magnetfeldes erhält, ist sehr klein. In Abbildung 5.18 ist für die Leitfähigkeitsspitze im Bereich von $V_g = 820 \text{ mV}$ die Position dieser Leitfähigkeitsspitze auf der V_g -Achse in Abhängigkeit des Magnetfelds aufgetragen. Man erhält eine Verschiebung von etwa $-0,2 \frac{\text{mV}}{\text{T}}$. Die Messungen wurden bei $T = 4,2 \text{ K}$ durchgeführt und die Peaks sind dementsprechend thermisch verbreitert. Die aus den Kurven erhaltene Streuung der Mittelwerte ist ebenfalls recht groß, so dass die Verschiebung auch nur mit großer Unsicherheit bestimmt werden kann. Aus dem Stabilitätsdiagramm erhält man die Additionsenergie, die benötigt wird, um ein zusätzliches Elektron auf die Insel zu bringen. In Abbildung 5.19 ist das Stabilitätsdiagramm ohne angelegtes Magnetfeld, also für $B = 0 \text{ T}$, gezeigt. Daraus lässt sich für die erste gut sichtbare Raute zwischen $V_g = 624 \text{ mV}$ und $V_g = 690 \text{ mV}$

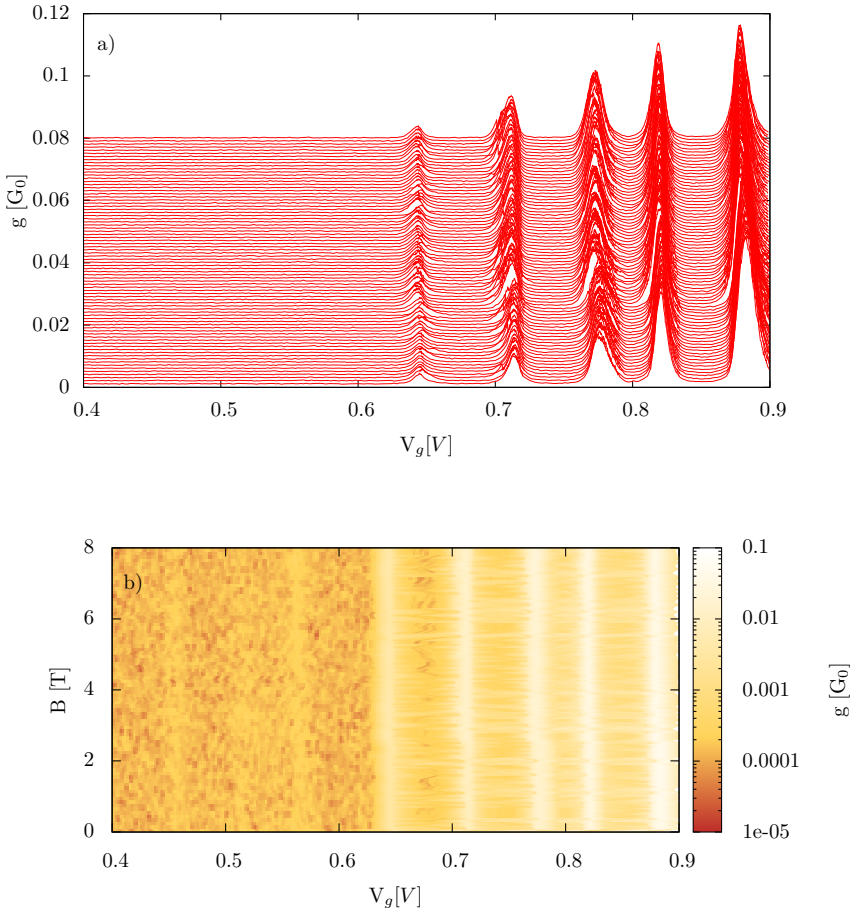


Abbildung 5.17: *Differentieller Leitwert in Abhängigkeit der Gatespannung für verschiedene Magnetfeldstärken. $B = 0-8$ T, $T = 4,2$ K, Probe: POESINT-LA70Ad1*

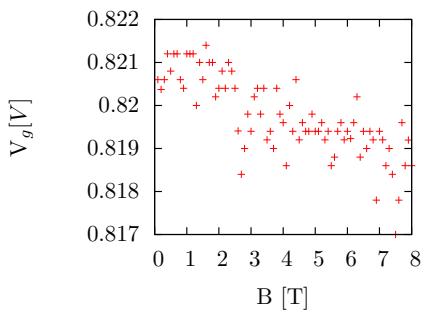


Abbildung 5.18: Peakposition auf der V_g -Achse in Abhängigkeit des Magnetfelds für den zweiten Peak von rechts in Abbildung 5.17.

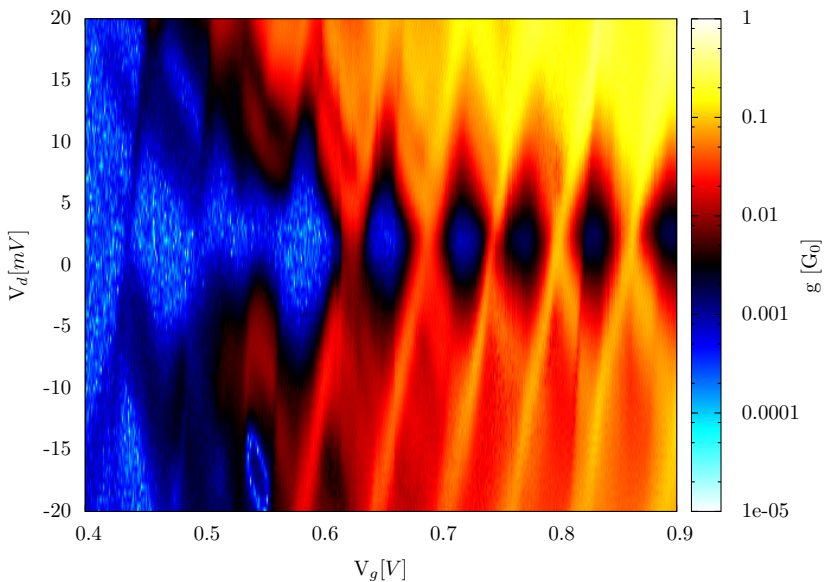


Abbildung 5.19: Differentieller Leitwert g in Abhängigkeit der Source-Drain-Spannung V_d und der Gatespannung V_g .

Tabelle 5.4: Zeeman-Verschiebung der Leitfähigkeitspeaks

Peak	ΔV_g [mV/T]	ΔE [meV/T]	g
1	-0,05	-0,011	0,38
2	-0,18	-0,037	1,28
3	0,015	0,0033	0,11
4	-0,2	-0,044	1,52
5	-0,2	-0,044	1,52

eine Additonsenergie von etwa 14 meV bei einem Abstand von 64 mV zwischen den Leitwertpeaks ermitteln. Die Verschiebung der Peaks ergibt sich zu $\Delta E = g\mu_B BS$ mit dem gyromagnetischen Faktor g und dem Bohrschen Magneton μ_B . Geht man von einem Spin S von $\pm 1/2$ aus und von $g = 2$, was für Elektronen in Silizium üblich ist, ergibt sich ΔE zu $\pm 0,058$ meV/T [SLC⁺06]. In Tabelle 5.4 sind die ermittelten Werte der Verschiebung aufgrund des Magnetfelds für die einzelnen Leitfähigkeitsspitzen aus Abbildung 5.17 aufgeführt. Die Numerierung erfolgt dabei aufsteigend mit der Gatespannung. Es sind auch die g -Werte angegeben, die eine solche Verschiebung hervorrufen würden. Die errechneten g -Faktoren sind zu klein und stimmen nicht mit den erwarteten Werten überein, so dass die hier beobachteten Verschiebungen nicht auf eine Zeeman-Verschiebung zurückzuführen ist. Da noch weitere Linien bzw. Coulomb-Rauten links der ersten zu erahnen sind, handelt es sich bei den betrachteten nicht um den Grundzustand. Die Linien sind jedoch so schwach, dass sie in den Kennlinien in Abbildung 5.17a) nicht zu erkennen sind und in Abbildung 5.17b) nur sehr vage. In letzterer sind die sehr kleinen Verschiebungen im Bereich kleiner 1 mV/T nicht zuverlässig auswertbar, so dass sie aufgrund des sehr großen möglichen Fehlers nicht berücksichtigt wurden.

Eine klarere Änderung mit dem Magnetfeld erfährt dagegen die Höhe der Coulomb-Blockade-Oszillationen. In Abbildung 5.20 sind die Höhen der Leitfähigkeitsspitzen in Abhängigkeit des Magnetfelds gezeigt. Bei $B = 2,7$ T ist wieder der zuvor erwähnte Sprung zu sehen. Den Sprung ausgenommen, wird die Höhe bei den meisten Peaks mit steigendem Magnetfeld reduziert. Durch das Magnetfeld werden die Orbitale verformt, wodurch sich deren Überlappung und dadurch der Strom ändert [SE84].

Die für die Messungen in Abbildung 5.21 verwendete Probe wurde schon in Kapitel 5.4 besprochen. Die erste Erhöhung des Leitwert

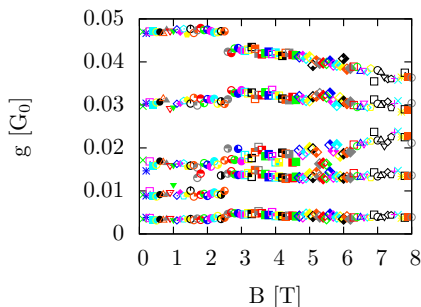


Abbildung 5.20: Höhe der Leitfähigkeitsspitzen in Abhängigkeit des Magnetfelds.

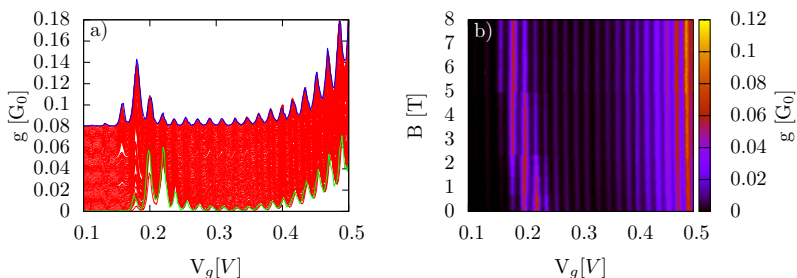


Abbildung 5.21: Differenzieller Leitwert in Abhängigkeit des Magnetfelds. Die permanente Änderung der Amplitude der Coulomb-Blockade-Oszillationen erfolgt aufgrund der Wechselwirkung des Magnetfelds mit einem Dotieratom. In a) sind die einzelnen Messungen der besseren Erkennbarkeit wegen zueinander verschoben. Die grüne und blaue Kurve zeigen Messungen vor bzw. nach der Magnetfeldmessung jeweils bei $B = 0$ T. In b) ist der Leitwert in Falschfarbendarstellung gegen das Magnetfeld B und die Gatespannung V_g aufgetragen.

kommt durch ein Dotieratom zustande. Durch das angelegte Magnetfeld verschiebt sich diese Erhöhung hin zu niedrigeren Gatespannungen. Analog dazu erhöhen sich auch die Peaks am rechten Rand, da diese Erhöhung dem Rand des zweiten Peaks des Dotieratoms entspricht (vgl. Abbildung 5.11). Die Positionen der Leitfähigkeitsspitzen verschieben sich mit stärker werdendem Magnetfeld ebenfalls zu niedrigeren Gatespannungen hin, wobei dieser Effekt vermutlich durch die Kopplung mit dem Dotieratom verursacht wird. Die hier gezeigte Änderung war nicht temporär, sondern blieb auch nach Abschalten des Magnetfelds bestehen. Die grüne Kurve spiegelt dabei den Zustand der Probe vor der Messung bei $B = 0$ T wieder, die blaue Kurve stellt ebenfalls den Zu-

stand bei $B = 0$ T dar, jedoch nach Beendigung der Magnetfeldmessung. Alle Magnetfeldmessungen erfolgten im Bereich von $B = 0 - 8$ T, eine Umpolung des Magnetfelds erfolgte nicht.

5.6 Polysiliziumgate-Effekte - Defekte im Polysiliziumgate

In Abbildung 5.22 ist ein weiteres Stabilitätsdiagramm mit den bereits bekannten Coulomb-Rauten gezeigt. Die normalerweise geraden Begrenzungslinien sind hier jedoch durch kleinere Stufen unterbrochen. Der Sprung bei $V_g = 0,78$ V ist eine Änderung der gesamten Probe aufgrund der Verschiebung von Hintergrundladungen und kommt nicht von dem im Folgenden beschriebenen Effekt. Zusätzlich sind Linien sichtbar, die weder die Begrenzungen der Rauten bilden, noch parallel dazu verlaufen und angeregten Zuständen zugeordnet werden können. Die Steigung der Linien ist größer Eins, was sich mit Gleichung 2.24 und somit mit dem klassischen Modell des Einzelelektronentransistors nicht erklären lässt. Der Ursprung dieser Linien liegt folglich außerhalb des eigentlichen SET. Die rote Gerade in der Abbildung mit einer Steigung von 2 dient der Veranschaulichung.

Die in dieser Arbeit verwendeten SETs besitzen Gates aus polykristallem Silizium. Dort können Defekte wie Korn- und Zwillingsgrenzen wie in Abbildung 5.23 zu Unterbrechungen führen, die bei tiefen Temperaturen zu Tunnelbarrieren werden. Dadurch können Teile der Gateelektrode isoliert werden und als "Floating Gate" (FG) fungieren. Ist die Kapazität des FG ausreichend klein, kommen dort ebenfalls Einzelelektronenladeeffekte durch die Coulomb-Blockade zum Tragen. Das Schaltbild eines solchen aus SET und FG bestehenden Systems ist in Abbildung 5.24 dargestellt. Die Gateelektrode ist über eine Tunnelbarriere an das Floating Gate gekoppelt, während dieses wie das bisherige Gate rein kapazitiv auf den SET wirkt. Auf Grundlage dieses Modells wurde der Leitwert numerisch berechnet, das erhaltene Stabilitätsdiagramm ist in Abbildung 5.22b) gezeigt. Die verwendeten Werte für die Source- und Drainkapazität sind $C_s = 1$ aF und $C_d = 4,9$ aF, C_{FG-SET} wurde zu 2,2 aF bestimmt. Das gemessene und das simulierte Stabilitätsdiagramm stimmt für diese Werte sehr gut überein. C_{FG-g} beträgt hier 25 aF, je niedriger dieser Wert, desto größer werden die Stufen beim Schnittpunkt zwischen

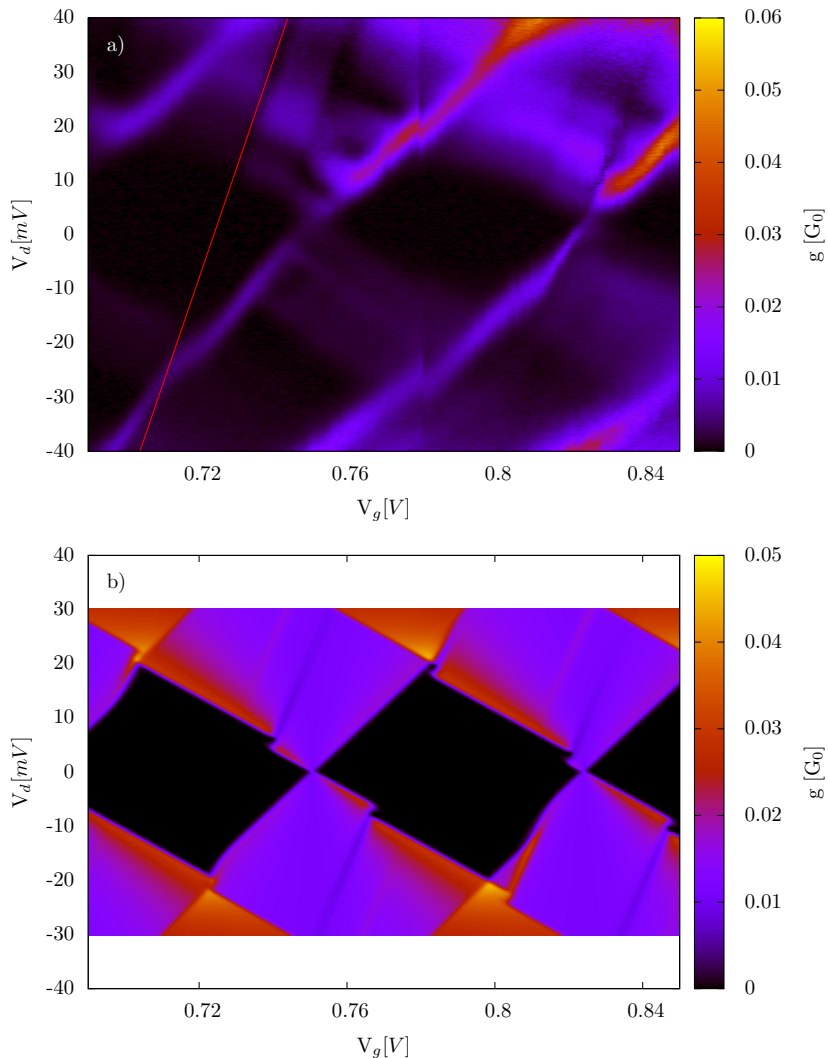


Abbildung 5.22: Differenzieller Leitwert in Abhängigkeit der Source-Drain- und Gatespannung. a) Defekte im Gate führen zu Stufen in den Coulomb-Rauten und zusätzlichen Linien. Zur Verdeutlichung ist die rote Gerade mit der Steigung 2 eingezeichnet. b) Simulation auf Grundlage des Schaltbilds aus Abbildung 5.24. Die verwendeten Kapazitäten sind im Text aufgeführt.

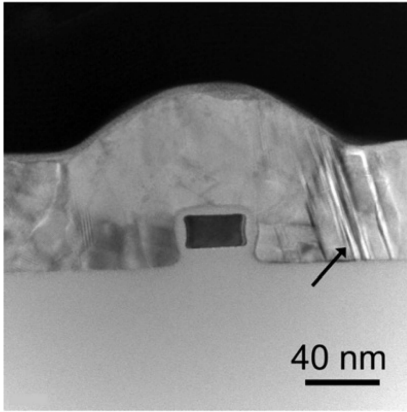


Abbildung 5.23: TEM-Schnitt eines SET entlang des polykristallinen Siliziumgates. Auf der rechten Seite sind Korngrenzen und Zwillingsgrenzen durch den Pfeil angedeutet deutlich sichtbar. Aus $[[VOJ^+ 11]$

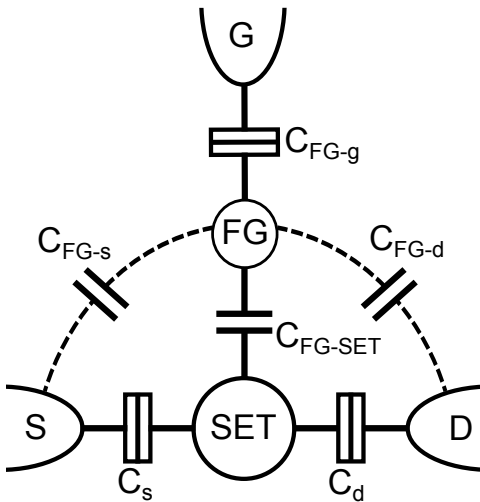


Abbildung 5.24: Schematische Darstellung der Kopplung des Floating Gate (FG) mit dem SET.

Rautenbegrenzung und der „Floating Gate“-Linie. Den Abstand der Linien wie bei der Messung erreicht man mit $C_{FG-s} = C_{FG-d} = 0,9 \text{ aF}$. Es wird dabei davon ausgegangen, dass die Kapazität des Floating Gates zu Source und Drain jeweils gleich ist. Der Abstand der Linien wird dabei durch die Kapazitäten zwischen FG und Source und FG und Drain bestimmt. Unter Annahme gewisser Größenverhältnisse von Floating Gate und der SET-Insel ($FG \gg \text{SET-Insel}$) und der daraus resultierenden vernachlässigbaren Ladeeffekte die durch den SET auf das FG wirken, lässt sich das elektrochemische Potential von FG und SET unabhängig voneinander berechnen. Die Steigung der Linien die durch das Floating Gate

hervorgehoben werden, ergibt sich zu $\frac{dV_d}{dV_g} = \frac{C_{FG-s} + C_{FG-d}}{C_{FG-d}}$ [KPJR⁺12]. Für $C_{FG-s} = C_{FG-d}$ erhält man folglich eine Steigung von 2. Statt der alleinigen kapazitiven Kopplung von SET zu FG ist auch eine zusätzliche kapazitiven Kopplung direkt zwischen SET und Gate denkbar. Zusätzliche Linien aufgrund der Einzelelektronenladung des FG erhält man auch in diesem Fall. Anzumerken ist, dass die in Abbildung 5.22 a) gezeigte Messung bei $T = 4,2$ K erfolgte, die Simulation in b) jedoch für $T = 1$ K durchgeführt wurde. Es wurde die tiefere Temperatur gewählt, da bei höheren Temperaturen die zusätzlichen, vom FG stammenden Linien aufgrund der thermischen Verschmierung nicht mehr so klar erkennbar waren. Die beiden in Abbildung 5.22 und Abbildung 5.14 gezeigten Proben sind auch eine der wenigen, bei denen bereits bei 4,2 K diese Linien sichtbar waren. Bei deutlich tieferen Temperaturen wurden diese Linien bei zahlreichen Proben beobachtet. Durch Messen der Tanskonduktanz sowie Symmetrisierung des Messaufbaus konnte ebenfalls gezeigt werden, dass der Ursprung durch ein Defekt im Gate verursacht wird [KPJR⁺12]. Tatsächlich tritt der Effekt auch bei komplett verarmten SET, d.h. bei hohen negativen Gatespannungen auf, wie durch Messungen mit Mikrowellen nachgewiesen wurde [VOJ⁺11].

Kapitel 6

Gekoppelte SETs

Einzelektronentransistoren sind sehr empfindliche Ladungsdetektoren, die eine nahezu ideale Quantenmessung erlauben [DS00]. Anwendung fanden sie deshalb schon zur Ladungsbestimmung eines Cooper-Paars [LJE⁺93] oder als Spitze eines Nahfeld-Mikroskops [YFH⁺97]. Ein Quantenpunkt wird aufgrund der Ähnlichkeit der Eigenschaften zu einem Atom oft auch als künstliches Atom bezeichnet [Kas00]. Zwei oder mehr Quantenpunkte bilden dementsprechend ein Molekül. Bei schwach gekoppelten Quantenpunkten sind die Elektronen lokalisiert, mit steigender Kopplung werden die Elektronen zunehmend delokalisiert. Gekoppelte SETs sind ebenfalls vielfältig einsetzbar. So lassen sich damit Einzelektronen-Drehkreuze herstellen, die nur einzelne Elektronen durchlassen [KJV⁺91] sowie eine Elektronenpumpe [PLU⁺92], mit deren Hilfe eine neue Definition des Ampère möglich werden könnte, als auch Gleichrichterelemente [Sto02]. Logikgatter, die Grundbausteine digitaler Schaltungen, sind ebenfalls durch gekoppelte Quantenpunkte realisierbar [BDEJ95] [LS05]. Desweiteren lässt sich durch die Elektronenbesetzung ein Qubit darstellen und es lassen sich damit Quantenzellularautomaten realisieren [LTPB93][SAP⁺00]. Es konnte auch eine Pauli-Spin-Blockade gezeigt werden, was die Verwendung als Spin-Qubit ermöglicht [LLY⁺11]. In diesem Kapitel werden die Transporteigenschaften der auf der CMOS-Plattform hergestellten Multi-Gate-Strukturen untersucht, die Auswirkung der verschiedenen Gates und Gatekonfigurationen auf die Einzelektronentransistoren sowie die bereits vom Einzelgate bekannten Störfaktoren.

6.1 Doppelgate-SETs

Die bisher gezeigten Proben hatten jeweils die einfachste Geometrie eines Nanodrahtes mit einem Topgate. Da die kritischen Strukturen wie in Kapitel 3.1 beschrieben mittels Elektronenstrahlolithographie geschrieben wurden, lassen sich Bauteile mit mehreren Gates und unterschiedlichen Gatekonfigurationen herstellen. In Abbildung 6.1 ist ein Nanodraht mit

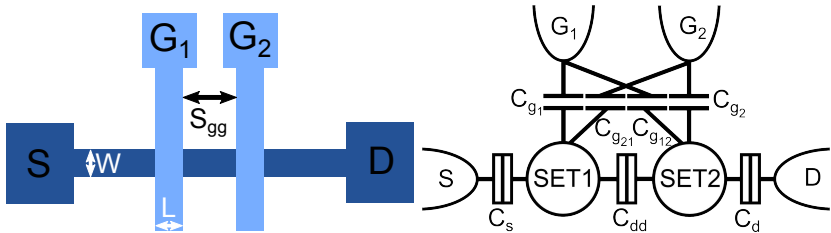


Abbildung 6.1: Links: Layout eines Doppelgate-SET. S , D , G_1 und G_2 bezeichnen Source-, Drain- und die beiden Gate-Elektroden, W die Breite des Drahts, L die Gatelänge und S_{gg} den Abstand der beiden Gates. Rechts: Ersatzschaltbild mit zwei gekoppelten Einzelelektronentransistoren die mittels Tunnelbarriere miteinander verbunden sind. Jede Gateelektrode wirkt zusätzlich auch auf die benachbarte Insel.

zwei Topgates gezeigt. Dieses Bauelement entspricht einer seriellen Anordnung von zwei Einzelelektronentransistoren. Das Schaltbild aus Abbildung 5.1 ist dementsprechend um eine Insel und ein Gate erweitert worden. Zwischen den beiden Inseln befindet sich eine Tunnelbarriere und die zu den Inseln gehörenden Gates wirken über die Kreuzkapazitäten $C_{g_{12}}$ und $C_{g_{21}}$ jeweils auch etwas schwächer auf die benachbarte Insel. Durch die dem Topgate zugrundeliegende FET-Charakteristik lassen sich durch Anlegen einer hohen positiven Spannung die Tunnelbarrieren reduzieren (vgl. Abbildung 3.2), so dass Ladeeffekte vernachlässigbar sind und der zugehörige Transistor durchgängig ist. Auf diese Weise lassen sich die seriell geschalteten Einzelelektronentransistoren einzeln und unabhängig voneinander charakterisieren. Die Probe POESINTL30Ad1 besteht aus einer wie in Abbildung 6.1 gezeigten Doppelgate-Struktur mit seriell geschalteten Einzelelektronentransistoren. Die Gatelänge der beiden Gates ist dabei mit $L = 50$ nm identisch. Die Kanalbreite beträgt $W = 40$ nm und der Abstand der beiden Topgates ist $S_{gg} = 50$ nm.

Jedes Gate bzw. der entsprechende durch das Gate erzeugte Einzel-

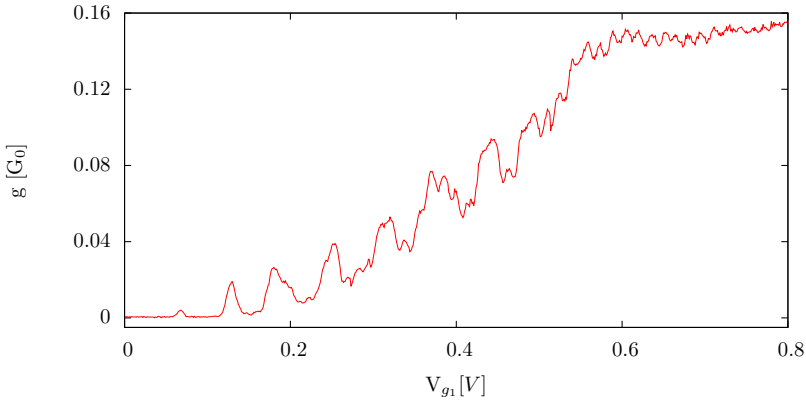


Abbildung 6.2: *Differentieller Leitwert g in Abhängigkeit der Gatespannung des Gates g_1 von SET1 der Probe POESINTL30Ad1 bei konstanter Gatespannung $g_2 = 1$ V. Dies entspricht der Charakterisierung des Dots unter Gate g_1 als einzelner Einzelelektronentransistor.*

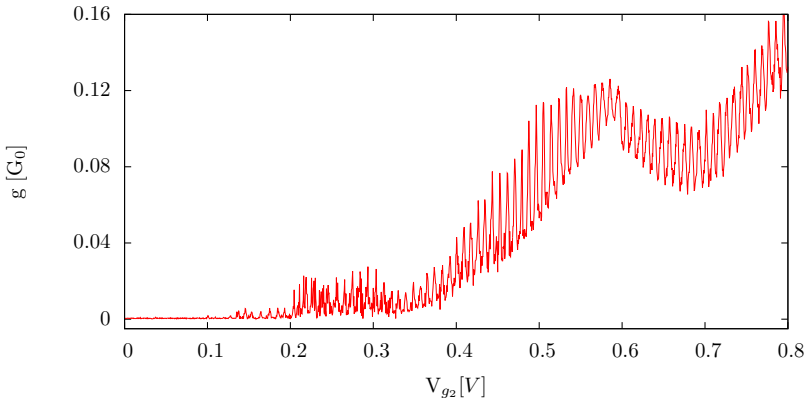


Abbildung 6.3: *Differentieller Leitwert g in Abhängigkeit der Gatespannung des Gates g_2 von SET2 der Probe POESINTL30Ad1 bei konstanter Gatespannung $g_1 = 1$ V. Dies entspricht der Charakterisierung des Dots unter Gate g_2 als einzelner Einzelelektronentransistor.*

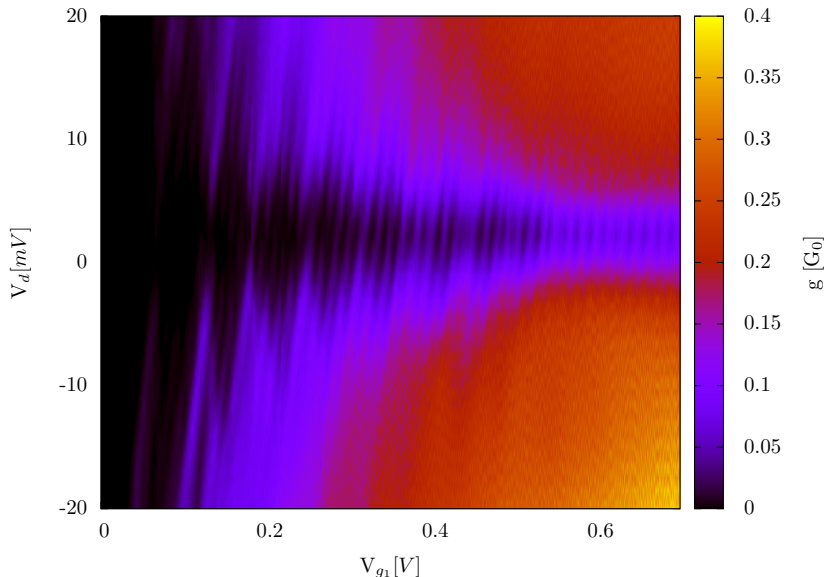


Abbildung 6.4: *Stabilitätsdiagramm SET1 von POESINTL30Ad1.*

elektronentransistor wurde wie oben beschrieben einzeln charakterisiert. Der Einfachheit halber wird der Einzelelektronentransistor unter Gate 1 als SET1 und der unter Gate 2 als SET2 bezeichnet. Die Anordnung bezüglich Source und Drain entspricht der in Abbildung 6.1 gezeigten. Der resultierende differentielle Leitwert in Abhängigkeit der Gatespannung ist für SET1 in Abbildung 6.2 und für SET2 in Abbildung 6.3 gezeigt. Die Spannung am jeweils anderen „passiven“ Gate beträgt konstant $V = 1$ V. In der zu SET1 gehörenden Kennlinie (s. Abbildung 6.2) sind Coulomb-Blockade-Oszillationen mit zwei unterschiedlichen Perioden zu erkennen. Die kleinere mit dem Abstand $\Delta V_{g_1} \approx 15$ mV entspricht der Ladeenergie von SET1. Im Bereich $V_{g_1} = 0,1$ mV– $0,5$ mV sind zusätzliche Peaks mit größerem Abstand ($V_{g_1} \approx 64$ mV) und größerer Amplitude zu sehen. Diese werden vermutlich von einem kleineren Dot oder Atom in der Nähe des Gates (vgl. Kapitel 5.4) verursacht. In Abbildung 6.3 ist der differentielle Leitwert von SET2 gezeigt. Die klar erkennbaren Coulomb-Blockade-Oszillationen sind hier ebenfalls durch eine weitere Oszillation moduliert, wenngleich auch mit deutlich größerer Periode. Auffällig ist, dass die Peakabstände bei SET2 mit ca. 9 mV we-

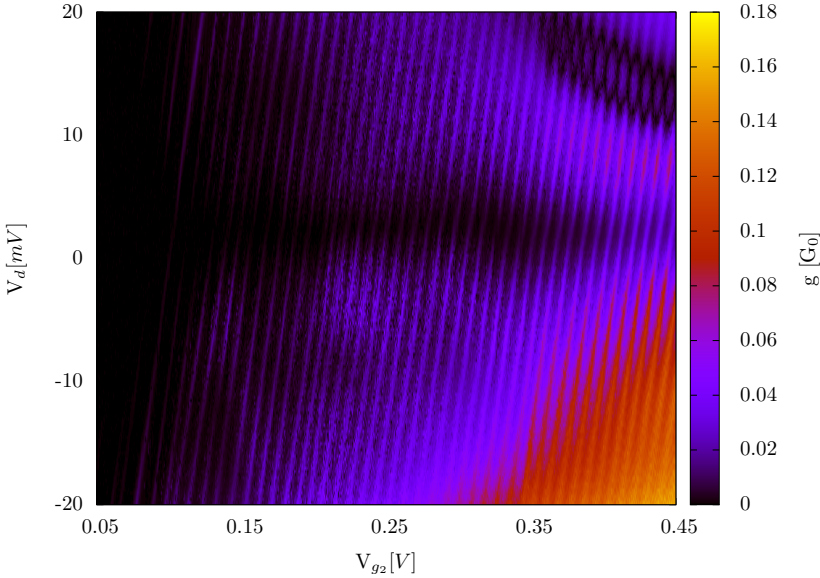


Abbildung 6.5: Stabilitätsdiagramm SET2 von POESINTL30Ad1.

sentlich kleiner sind als die von SET1, obwohl beide bezüglich ihrer Abmessungen nominell identisch sind. Hier zeigt sich wieder das Problem der starken Variabilität bei sehr kleinen Einzelelektronentransistoren.

Im Stabilitätsdiagramm von SET1 (Abbildung 6.4) lassen sich sowohl die Coulomb-Rauten vom SET selbst als auch die Überlagerten mit größerer Periode aus Abbildung 6.2 gut erkennen. Auch hier sind die zusätzlichen Oszillationen nur bis ca. 0,5 V wahrnehmbar. Eine mögliche Erklärung für diesen Effekt ist, dass sich das für die zusätzlichen Rauten verantwortliche Dotieratom im Bereich der Tunnelbarriere befindet. Mit steigender Gatespannung V_{g1} wird die Barriere zunehmend verkleinert, bis diese unterhalb der Niveaus des Atoms liegt und das „Direkttunneln“ auf den SET energetisch günstiger ist bzw. die Tunnelraten zum SET deutlich größer sind als die des Kanals über das Atom. Prinzipiell kann auch die Kreuzkapazität $C_{g_{12}}$ zwischen Gate 1 und SET2 zu zusätzlichen Modulationen führen. Da aber bei $V_{g2} = 1$ V keine Oszillationen mehr von SET2 sichtbar waren und auch die Größenordnung von $C_{g_{12}}$ wie wir später sehen werden nicht übereinstimmt, ist diese Möglichkeit auszuschließen.

Tabelle 6.1: Extrahierte Teilkapazitäten aus den Stabilitätsdiagrammen.

POESINTL30A	SET1	SET2	SET1 (größere CBOs)
ΔV_g [mV]	15	9	64
C_g [F]	$1,1 \cdot 10^{-17}$	$1,8 \cdot 10^{-17}$	$2,5 \cdot 10^{-18}$
C_d [F]	$9,8 \cdot 10^{-18}$	$1,4 \cdot 10^{-17}$	$4,0 \cdot 10^{-18}$
C_s [F]	$1,7 \cdot 10^{-17}$	$2,0 \cdot 10^{-18}$	$4,6 \cdot 10^{-18}$
E_C [meV]	4,3	4,8	14,4

Wie zuvor lassen sich aus dem Stabilitätsdiagramm die Teilkapazitäten zu Source, Drain und Gate ermitteln. Diese sind in Tabelle 6.1 aufgeführt. Das Stabilitätsdiagramm zum SET2 ist in Abbildung 6.5 gezeigt und auch dort sind die Coulomb-Rauten zu sehen. Im Gegensatz zu den deutlich hervortretenden Begrenzungslinien mit positiver Steigung sind die Begrenzungslinien mit negativer Steigung nur schwer auszumachen. Die Bestimmung der Teilkapazität C_d , welche in direktem Zusammenhang mit dieser Begrenzungslinie steht, ist somit mit einer größeren Unsicherheit behaftet. Die aus dem Stabilitätsdiagramm erhaltenen Werte sind ebenfalls in Tabelle 6.1 aufgeführt. Dabei fällt auf, dass trotz der unterschiedlichen Gatekapazität der beiden SETs, die Ladeenergien relative nahe zusammenliegen. Für die zusätzliche Modulation, die in Abbildung 6.3 zu sehen ist, lassen sich aus diesem Stabilitätsdiagramm keine Teilkapazitäten ermitteln, da der Messbereich von V_g dafür zu klein ist.

Erfolgte die Betrachtung der Probe bisher näherungsweise als zwei unabhängige Einzelelektronentransistoren, wird sie nun als gekoppeltes System untersucht. In Abbildung 6.6 ist für die beiden Einzelelektronentransistoren in Serie die differentielle Leitfähigkeit g gegen die beiden Gatespannungen V_{g1} und V_{g2} aufgetragen. Gemessen wird im linearen Regime, d.h. es liegt keine zusätzliche Gleichspannung an, sondern nur die geringe Wechsellspannung des Lock-In-Verstärkers. Gemäß Kapitel 2.2 kann eine Änderung der Besetzungszahlen durch eine Gatespannungsänderung nur dann stattfinden, wenn sich die Gesamtbesetzungszahl um maximal eins ändert. Ein makroskopischer Strom über die Probe ist nur möglich, wenn beide SETs zusätzlich Elektronen an Source und Drain abgeben, bzw. von dort aufnehmen können, was nur an den Kreuzungspunkten der Begrenzungslinien der Fall ist. Man erhält eine sechseckige Wabenstruktur wie auch in Abbildung 6.6 gezeigt. Innerhalb der Waben ist die Besetzungszahl konstant und es fließt kein Strom. Aus dem

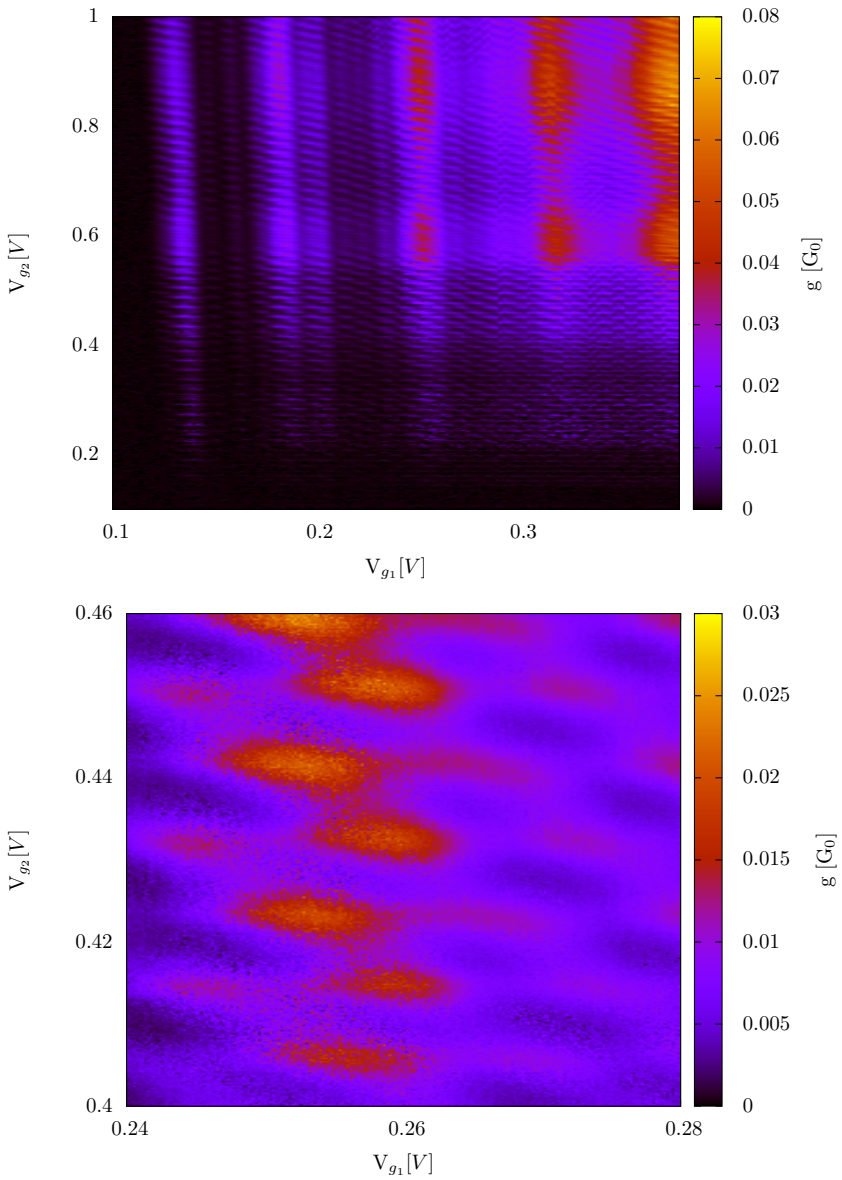


Abbildung 6.6: *Differentielle Leitfähigkeit g in Abhängigkeit der Gatespannungen V_{g_1} und V_{g_2} . Unten ein vergrößerter Ausschnitt in höherer Auflösung mit der charakteristischen Wabenstruktur seriell gekoppelter SETs.*

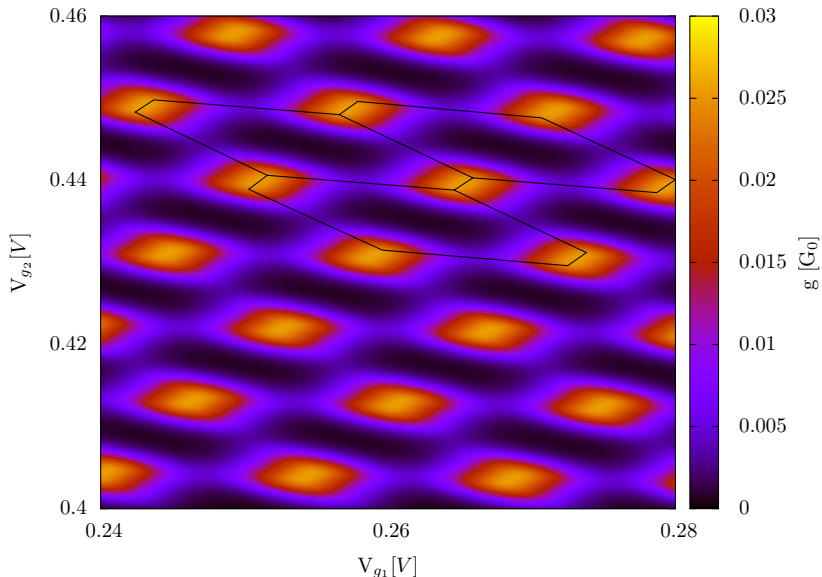


Abbildung 6.7: Simulation des differentiellen Leitwerts in Abhängigkeit der Gatespannungen V_{g1} und V_{g2} . Drei Sechsecke sind zur Kenntlichmachung der Wabenstruktur eingezeichnet. Die verwendeten Kapazitäten wurden aus den Messdiagrammen grafisch ermittelt und sind im Text angegeben.

gemessenen Diagramm lassen sich ebenfalls alle Teilkapazitäten zwischen den Inseln und den Gates mit Ausnahme der Kopplung zwischen den Inseln C_{dd} , absolut ermitteln. Die grafische Auswertung erfolgte anhand der Methode wie in Kapitel 2.2 beschrieben. ΔV_{g1} und ΔV_{g2} entspricht mit 9 und 14 mV wieder den auch aus Abbildung 6.2 und Abbildung 6.3 erhaltenen Werten. Die Kreuzkapazitäten C_{g12} und C_{g21} ergeben sich zu 0,45 aF und 10 aF. Die Kapazität C_{dd} zwischen den beiden Inseln, die sich anhand der Wabenstruktur nur als Verhältnis ausdrücken lässt, kann mittels der Gesamtkapazitäten der einzelnen SETs (vgl. Tabelle 6.1) zu 8,2 aF bzw. 8,4 aF bestimmt werden. Für die Simulation wurde der Mittelwert mit 8,3 aF verwendet. Mithilfe der so erhaltenen Werte lässt sich das Stabilitätsdiagramm simulieren. Für die Source- und Drain-Kapazitäten wurden ebenfalls die Werte aus Tabelle 6.1 verwendet. Die Simulation (s. Abbildung 6.7) zeigt dabei eine gute Übereinstimmung mit der Messung.

6.2 Multigate-Strukturen

Durch Hinzufügen eines weiteren Gates erhält man eine Triplegate-Struktur mit drei in Serie geschalteten Einzelelektronentransistoren wie in Abbildung 6.8 skizziert. Auch bei dieser Struktur kann jeder SET wie

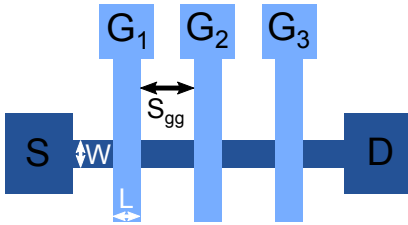


Abbildung 6.8: *Layout eines Triplegate-SETs. S und D bezeichnen Source- und Drain-Elektroden, G₁, G₂ und G₃ sind die drei Gate-Elektroden. W ist die Breite des Nanodrahts, L die Gatelänge und S_{gg} der Abstand zwischen zwei benachbarten Gates.*

zuvor durch Anlegen einer hohen Spannung an die anderen Gates separat charakterisiert werden. Wird nur an ein Gate die hohe Spannung angelegt, erhält man für die anderen beiden jeweils die charakteristische Wabenstruktur.

In Abbildung 6.9 und Abbildung 6.10 sind für eine Triplegate-Probe

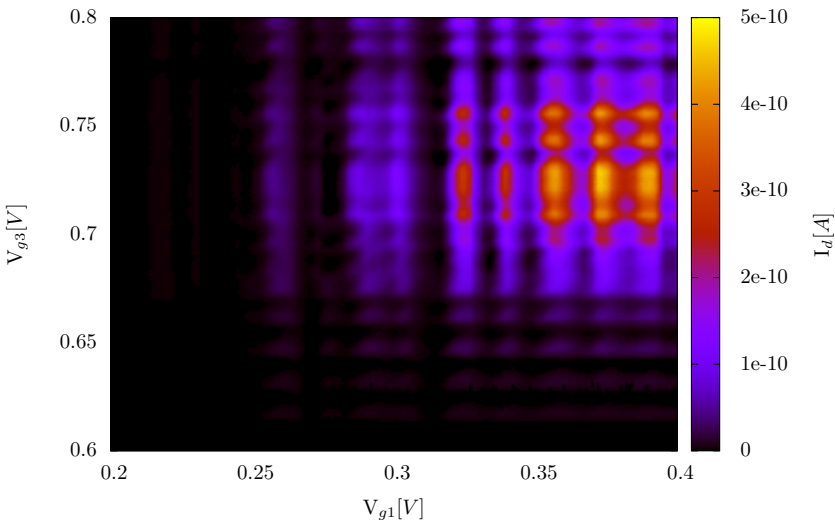


Abbildung 6.9: *Stabilitätsdiagramm für die Kombination Gate 1 und 3. Die Stabilitätsdiagramme der anderen möglichen Kombinationen der Gates sind in Abbildung 6.10 gezeigt. Probe: W1D3NTLSH3d3*

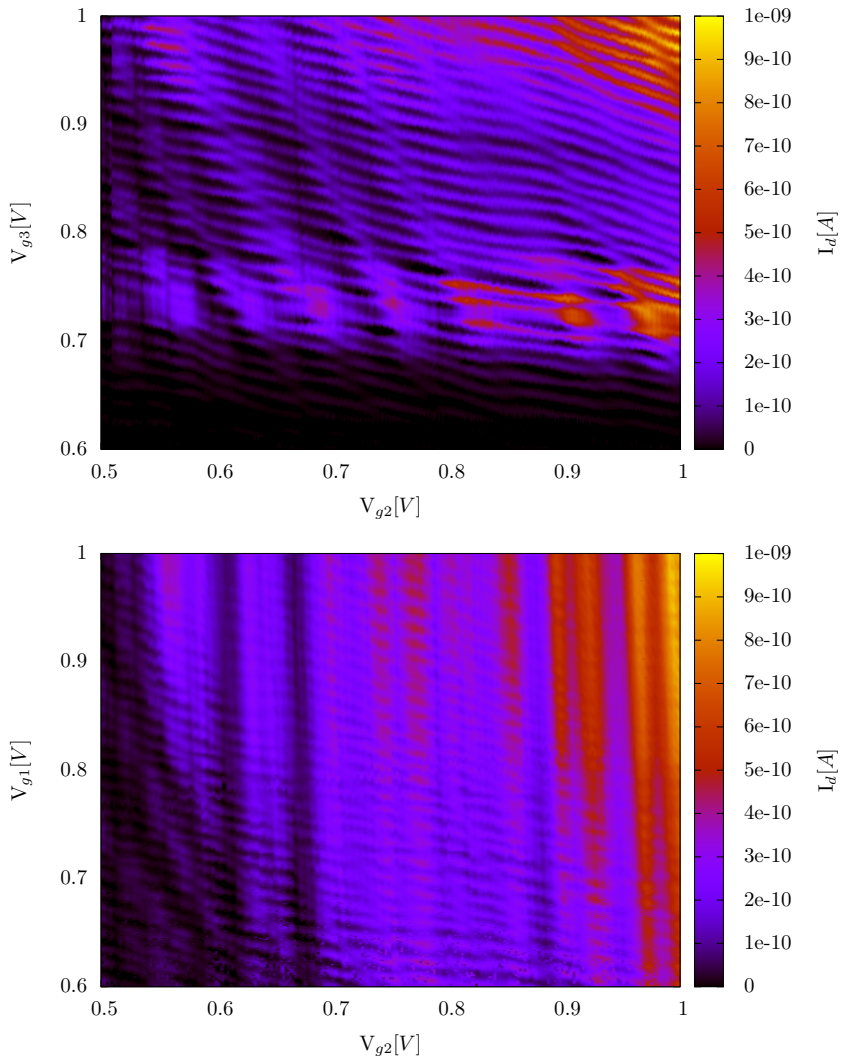


Abbildung 6.10: Oben: Stabilitätsdiagramm für die Kombination Gate 2 und 3. Unten: Stabilitätsdiagramm für die Kombination Gate 2 und 1. Das Stabilitätsdiagramm für Gate 1 und 3 ist in Abbildung 6.9 gezeigt. Probe: W1D3NTLSH3d3

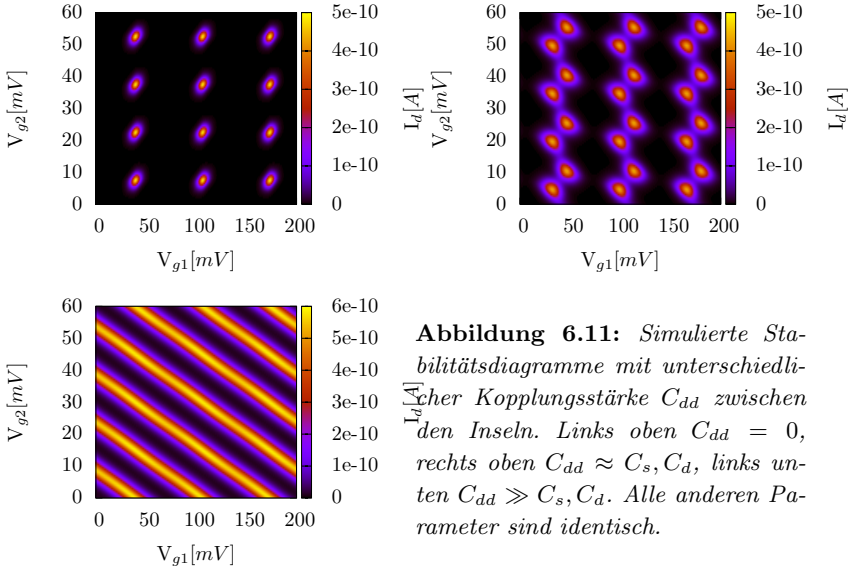


Abbildung 6.11: *Simulierte Stabilitätsdiagramme mit unterschiedlicher Kopplungsstärke C_{dd} zwischen den Inseln. Links oben $C_{dd} = 0$, rechts oben $C_{dd} \approx C_s, C_d$, links unten $C_{dd} \gg C_s, C_d$. Alle anderen Parameter sind identisch.*

die Stabilitätsdiagramme der möglichen Kombinationen der Gates gezeigt. In diesem Fall beträgt die Gatelänge L und die Breite des Nanodrahts W je 40 nm, der Abstand zwischen den Gates S_{gg} ist 50 nm.

Bei der Kombination von Gate 1 und 3 ist keine Kopplung zwischen den Inseln zu beobachten. Im Stabilitätsdiagramm erhält man eine rechteckige Struktur, ähnlich der eines Schachbretts. Der effektive Abstand von 140 nm zwischen Insel 1 und 3 ist offensichtlich zu groß um eine Wechselwirkung stattfinden zu lassen. Bei nicht verschwindender Kopplung zwischen den beiden Inseln bildet sich die sechseckige Wabenstruktur, da eine Änderung der Elektronenanzahl auf der einen Insel eine Änderung des elektrochemischen Potentials auf der anderen Insel zur Folge hat. Wird die Barriere zwischen den Inseln reduziert, verhalten sich die beiden Inseln wie eine einzelne große Insel und man erhält Linien im Stabilitätsdiagramm [WDFE⁺03]. Im Simulationsprogramm wird dies durch eine größer werdende Kapazität zwischen den Inseln erreicht. In Abbildung 6.10 oben ist mit größer werdenden Gatespannungen der Übergang von dem hexagonalen Wabenmuster zum Linienmuster zu sehen. Hier gehen die beiden SETs in eine große Insel über.

In Abbildung 6.11 sind die Fälle verschwindende Kopplung, mittlere Kopplung und starke Kopplung dargestellt. Für die Simulation wur-

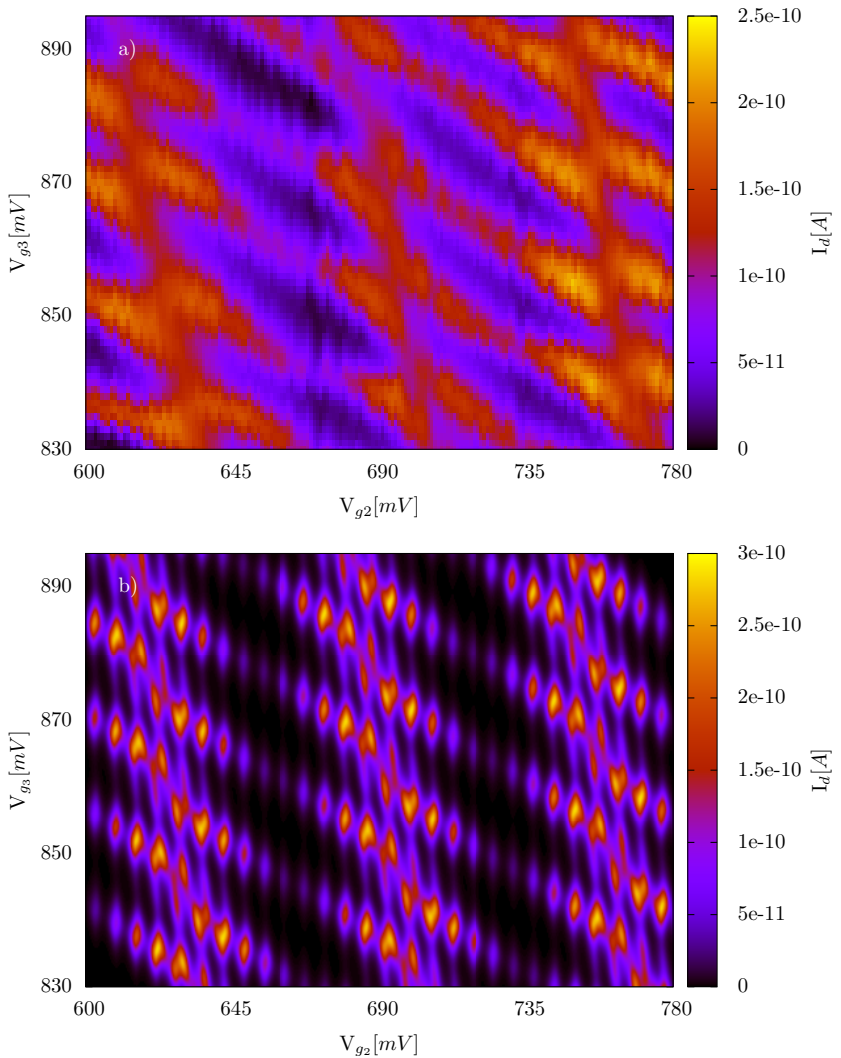


Abbildung 6.12: a) Vergrößerter Ausschnitt der Wabenstruktur aus Abbildung 6.10 oben. Die üblichen Waben sind mit einer kleineren Periode zusätzlich moduliert. b) Simuliertes Stabilitätsdiagramm der Messung in a) mit den Kapazitäten aus Tabelle 6.2.

den die Kreuzkapazitäten $C_{g_{12}}$ und $C_{g_{21}}$ vernachlässigt, diese führen bei Berücksichtigung zu einer zusätzlichen Verkipfung der Strukturen. Die Kapazitätswerte für Source, Drain und die Gates wurden entsprechend der Kombination Gate 2 und 3 aus Abbildung 6.10 genommen. Diese sind für alle drei Diagramme in Abbildung 6.11 identisch, nur C_{dd} wird verändert ($C_{dd} = 0$; $C_{dd} \approx C_s, C_d$; $C_{dd} \gg C_s, C_d$). Die Proben temperatur beträgt jeweils $T = 4,2\text{K}$.

Bei der Kombination nebeneinanderliegender Gates (Gate 1 und 2 sowie Gate 2 und 3) erhält man wiederum die Wabenstruktur. Abbildung 6.12 zeigt einen vergrößerten Ausschnitt aus Abbildung 6.10 oben. Man erkennt eine weitere Modulation der Waben mit kleinerer Periode entlang der V_{g_2} -Richtung. Diese Modulation wird von einer weiteren seriell geschalteten Insel verursacht, die kapazitiv an Gate 2, jedoch nicht oder nur sehr schwach an Gate 3 gekoppelt ist. Es besteht die Möglichkeit, dass die Insel unter Gate 1 trotz der angelegten hohen Spannung nicht vollständig geöffnet ist und noch mit Einzelelektronentunneln zum Stromtransport beiträgt. Eine entsprechende Skizze ist in Abbildung 6.13 dargestellt. Die Simulation des Stabilitätsdiagramm mit den Werten aus Tabelle 6.2 ist in Abbildung 6.12 gezeigt, welches eine sehr gute Übereinstimmung zwischen Messung und Simulation zeigt. Der Wert $C_{g_{21}}$ ist für eine Kreuzkapazität im Verhältnis recht hoch, was bedeutet dass die betroffene Insel entweder sehr groß ist oder sehr nahe an Gate 2 liegt. Möglicherweise ist durch die hohe positive Spannung an Gate 1 und der daraus folgenden Reduktion der Barriere beides gegeben.

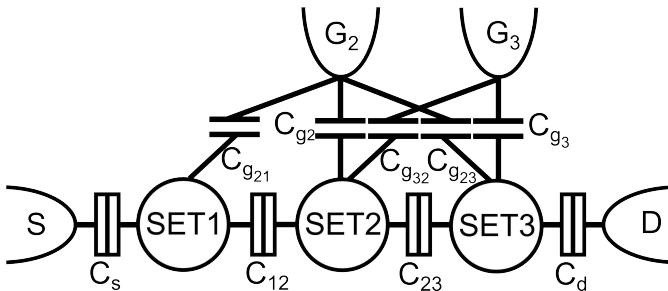


Abbildung 6.13: Zugrundeliegendes Schaltbild der Simulation aus Abbildung 6.12.

Tabelle 6.2: Verwendete Teilkapazitäten für die Simulation des Stabilitätsdiagramm in Abbildung 6.12. Bezeichnung der Kapazitäten s. Abbildung 6.13.

Kapazität	[F]
C_d	$8 \cdot 10^{-18}$
C_s	$8 \cdot 10^{-18}$
C_{12}	$8 \cdot 10^{-18}$
C_{23}	$15 \cdot 10^{-18}$
C_{g_2}	$2,4 \cdot 10^{-18}$
C_{g_3}	$10,7 \cdot 10^{-18}$
$C_{g_{21}}$	$25 \cdot 10^{-18}$
$C_{g_{23}}$	$2 \cdot 10^{-18}$
$C_{g_{32}}$	$7,6 \cdot 10^{-19}$

6.3 Verwendung des Backgates

Durch die bei der Herstellung verwendeten SOI-Substrate und der elektrischen Kontaktierung des Substrates mittels Leitsilber, lässt sich auch eine Spannung an die Unterseite der Probe anlegen und das gesamte Substrat als sogenanntes Backgate verwenden. Durch Anlegen einer Backgatespannung lässt sich die Fermikante über die gesamte Probe verschieben. Dadurch erhält man CBOs aufgrund der Änderung der Backgatespannung. Bei geometrisch definierten, hochdotierten Quantenpunkten, bei denen sich aufgrund der Inhomogenität der Dotierkonzentration mehrere elektrisch aktive Inseln bilden, lässt sich die Anzahl der aktiven Inseln durch Variation der Backgatespannung steuern [Aug01]. Die folgenden Untersuchungen wurden an einer Triplegate-Struktur wie in Abbildung 6.8 skizziert durchgeführt. Die jeweiligen Abmessungen sind $W = 60$ nm, $L = 40$ nm und $S_{gg} = 70$ nm.

Der Leitwert in Abhängigkeit der Gatespannung für jedes Gate ist in Abbildung 6.14 gezeigt. Bei Gate 1 und Gate 2 sind wieder die gewohnten Coulomb-Blockade-Oszillationen zu sehen mit einem mittleren Abstand zwischen zwei Spitzen von $\Delta V_{g_1} = 15,8$ mV und $\Delta V_{g_2} = 12,5$ mV. Die Kennline von Gate 3 zeigt einen großen Peak und ebenfalls, wenn auch mit deutlich kleinerer Amplitude Coulomb-Blockade-Oszillationen, die den großen Peak modulieren. Der mittlere Abstand der CBOs von Gate 3 beträgt $\Delta V_{g_3} = 13,5$ mV. Der große Peak wird durch resonantes Tun-

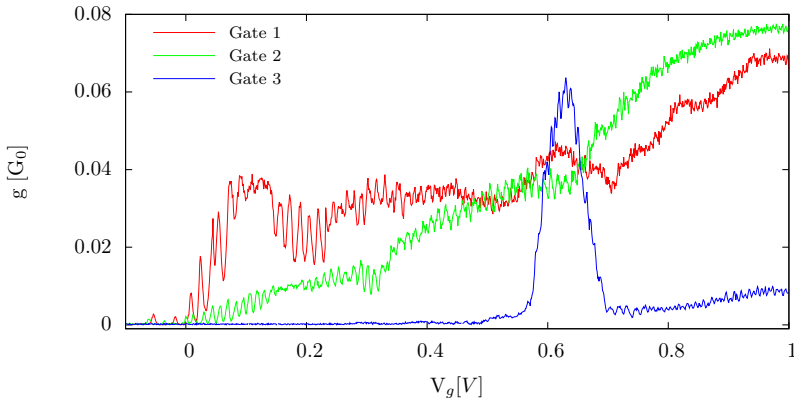


Abbildung 6.14: Leitwert in Abhängigkeit der Gatespannung. Bei allen Gates sind ähnliche Coulomb-Blockade-Oszillationen mit einem Abstand ΔV_g von 12,5 mV bis 15,8 mV vorhanden. Die einzelne große Leitwertsspitze wird durch resonantes Tunneln durch ein Dotieratom im Barrierenbereich verursacht.

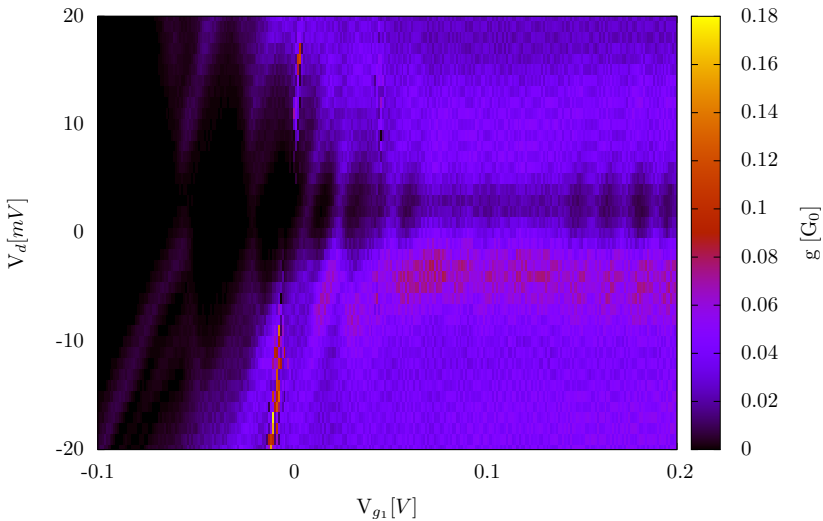


Abbildung 6.15: Stabilitätsdiagramm des Einzelelektronentransistors SET1. Es sind Floating Gate Charakteristiken (Linien mit Steigung größer Eins) sichtbar.

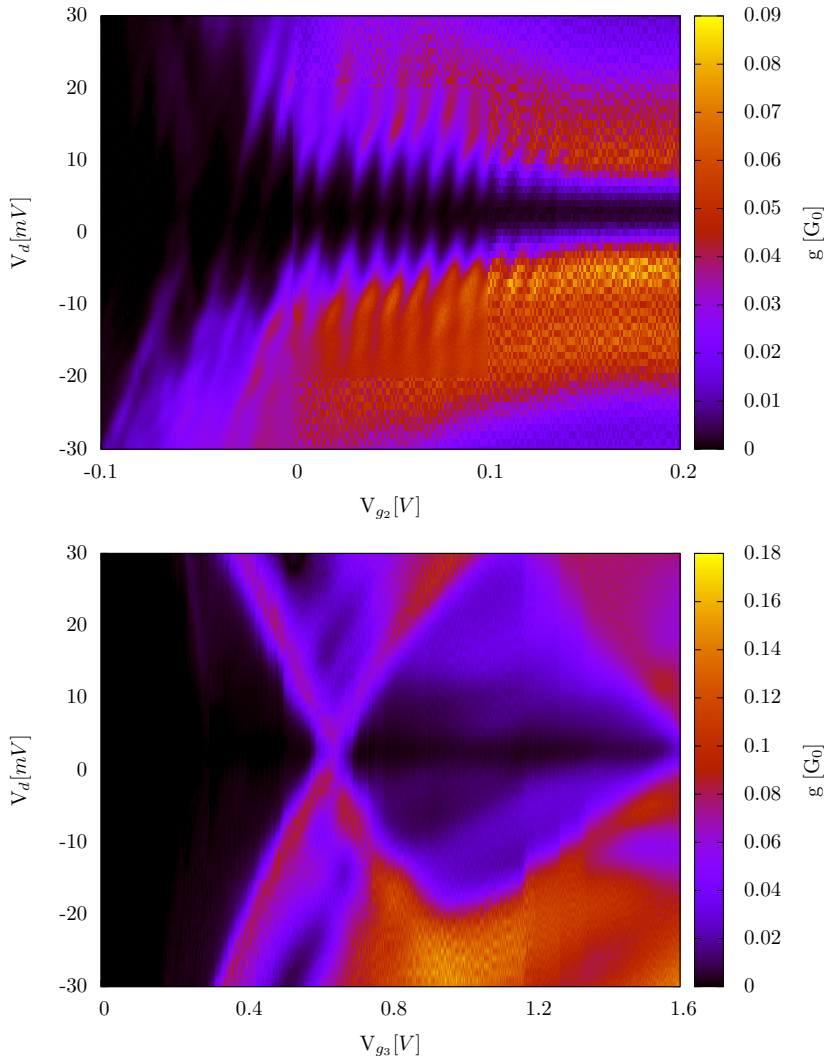


Abbildung 6.16: Stabilitätsdiagramme der einzelnen Einzelelektronentransistoren SET2 (oben) und SET3 (unten). Die große Raute beim SET3 ist die Signatur eines Dotieratoms in der Barriere. Die Diagramme sind aus mehreren Messungen zusammengesetzt, die teilweise unterschiedliche Auflösungen haben.

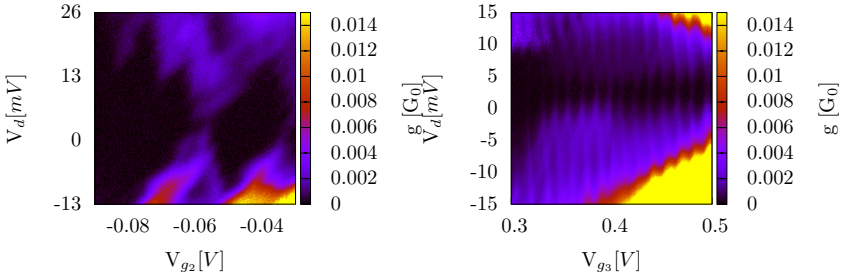


Abbildung 6.17: Links: Gezackte Begrenzungslinien der Rauten aufgrund Defekten im Gate (vergrößerter Ausschnitt aus Abbildung 6.16oben). Rechts: Innerhalb der großen Raute des Dotieratoms sind noch die kleinen Rauten des SETs vorhanden (vergrößerter Ausschnitt aus Abbildung 6.16unten).

neln durch ein Dotieratom im Barrierenbereich verursacht, ein Effekt der bereits beim Einzelgate-SET beobachtet wurde (s. Kapitel 5.4).

In den Stabilitätsdiagrammen in Abbildung 6.15 und Abbildung 6.16 sind die Coulomb-Blockade-Oszillationen aus Abbildung 6.14 als

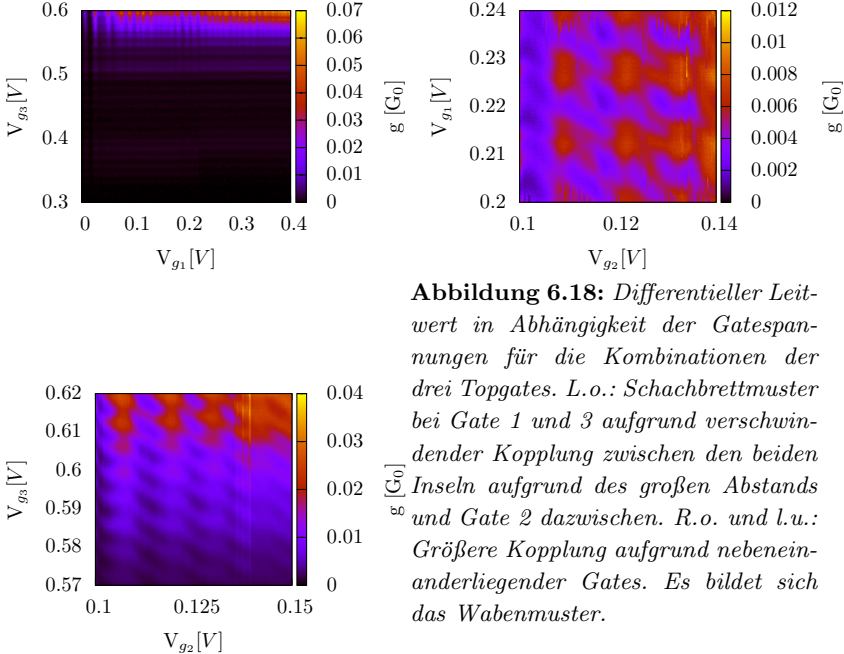


Abbildung 6.18: Differentieller Leitwert in Abhängigkeit der Gatespannungen für die Kombinationen der drei Topgates. L.o.: Schachbrettmuster bei Gate 1 und 3 aufgrund verschwindender Kopplung zwischen den beiden Inseln aufgrund des großen Abstands und Gate 2 dazwischen. R.o. und l.u.: Größere Kopplung aufgrund nebeneinanderliegender Gates. Es bildet sich das Wabenmuster.

Coulomb-Rauten ebenfalls klar zu erkennen. Auch hier zeigen sich außer den von einem Einzelelektronentransistor stammenden Coulomb-Rauten weitere Charakteristiken, die zuvor auch beim Einzelgate-SET beobachtet werden konnten. Beim SET1 sind zusätzliche Linien mit Steigung >1 vorhanden, die auf einen „Floating Gate“-Effekt hindeuten. Sowohl bei SET1 als auch SET2 sind die Begrenzungslinien der Rauten nicht gerade sondern erscheinen gezackt (vgl. Abbildung 6.17), was ebenfalls durch Defekte im Gate erklärbar ist (siehe Kapitel 5.6). Beim SET3 ist die sehr große Raute die vom Dotieratom herrührt, welche sich im $I_d - V_g$ -Bild schon angekündigt hat, deutlich zu sehen. Die zum SET3 gehörenden kleinen Rauten sind, wenn auch schwach, über den gesamten Bereich und auch innerhalb der großen Raute auszumachen. Für das Dotieratom erhält man mit $C_g = 0,16$ aF, $C_d = 2,3$ aF und $C_s = 2,5$ aF eine Ladeenergie von knapp 32 meV. Da der Leitwert von SET3 im Bereich von $V_{gs} \approx 0,6$ V den höchsten Wert erreicht und bei 1 V relativ gering ist, wurden die nicht aktiven Gates in den folgenden Messungen bei 0,6 V gehalten. Die Diagramme sind teilweise aus mehreren Messungen zusammengesetzt. Kleinere Bereiche können dadurch auch eine höhere Auflösung haben.

Der Leitwert in Abhängigkeit von zwei Gates zeigt ein ähnliches Verhalten wie bei der in Kapitel 6.2 verwendeten Triplegate-Probe. Die äußeren Gates 1 und 3 mit dazwischenliegendem Gate 2 zeigen das Schachbrettmuster, welches auf verschwindende Kopplung untereinander zurückzuführen ist. Bei Kombination von Gate 1 und 2 beziehungsweise Gate 2 und 3 erhält man wiederum die bekannten Wabenmuster wie auch schon im vorherigen Kapitel. Da der Abstand S_{gg} zwischen den Gates bei dieser Probe etwas größer ist als zuvor, sind sowohl die Wechselwirkung zwischen den beiden Einzelelektronentransistoren als auch die Kreuzkapazitäten C_{g12}, C_{g21} geringer. Der Leitwert in Abhängigkeit zweier Topgates ist für die möglichen Kombinationen in Abbildung 6.18 dargestellt.

Bisher kamen immer nur die Topgates zum Einsatz, entweder einzeln für die Coulomb-Rauten oder in Kombination für die Waben. Im Folgenden wird eine Kombination aus Topgate und Backgate verwendet. Dabei wirken beide Gates auf die gleiche Insel, wobei das Backgate aufgrund des wesentlich größeren Abstands eine viel geringere Wirkung hat, bzw. die benötigten Gatespannungen dementsprechend größer sind. Da

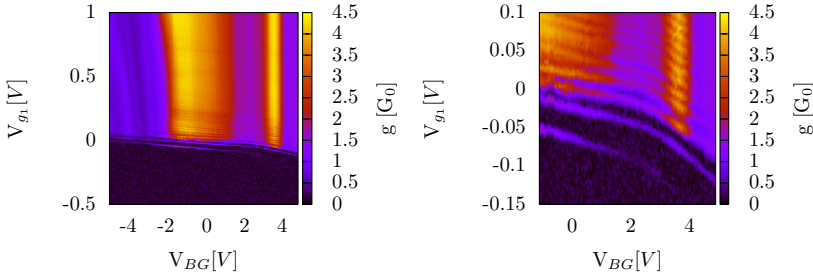


Abbildung 6.19: *Differentieller Leitwert in Abhängigkeit der Gate 1-Spannung und der Backgate-Spannung. Rechts: Vergrößerter Ausschnitt.*

die Substratdicke einige hundert Mikrometer beträgt, können, ohne die Probe zu gefährden, problemlos Backgatespannungen von mehreren Volt angelegt werden.

Bei den Farbplots des differentiellen Leitwerts finden sich oft Charakteristiken sowohl bei großen als auch sehr kleinen Werten, die sich über einen großen Bereich des Leitwerts über mehrere Größenordnungen erstrecken können. Bei einer linearen Darstellung sind Unterschiede sehr kleiner Werte quasi nicht zu erkennen. Eine logarithmische Skala hat den Nachteil, dass Effekte die sich nur leicht vom Grundrauschen abheben nicht dargestellt werden können, da das Rauschen abgeschnitten werden muss. Als geeignet erweist sich folgende Abbildung, die linear für kleine Werte nahe dem Rauschen und logarithmisch für große Werte ist

$$G \mapsto \operatorname{sgn} G \cdot \lg \left(\frac{|G|}{G_R} + 1 \right). \quad (6.1)$$

Für G_R wurde $10^{-3} \frac{e^2}{h}$ verwendet, was nahe dem in Kapitel 3.4 beschriebenen Grundrauschen von $6 \cdot 10^{-4} \frac{e^2}{h}$ liegt. Das Ergebnis wird anschließend linear auf die Farbskala abgebildet. Die folgenden Abbildungen enthalten zwar keine negativen Werte, jedoch ist dies prinzipiell möglich, so dass die Verwendung der Vorzeichenfunktion in Gleichung 6.1 der Allgemeingültigkeit dient.

In Abbildung 6.19 ist der differentielle Leitwert in Abhängigkeit vom Backgate und Gate 1 dargestellt. Die diagonalen Linien entsprechen einer Insel, die von beiden Gates gesteuert wird. Dies entspricht der Situation die in Abbildung 6.11 links unten simuliert ist. Dabei zeigt sich wieder, dass die Kapazitäten zwischen den Gates und der Insel nicht

über den gesamten Bereich konstant sind. Die Steigung der Linien ist mit $-\frac{C_{BG}}{C_{g1}}$ durch die beiden Kapazitäten gegeben. Für Backgatespannungen $V_{BG} \gtrsim 2,5 \text{ V}$ werden die Linien steiler und die Steigung ändert sich von etwa $-7,3 \cdot 10^{-3}$ zu $-2,5 \cdot 10^{-2}$, wobei C_{g1} nur geringfügig kleiner wird, C_{BG} sich hingegen mehr als verdoppelt. Die beiden deutlichen Leitwerterhöhungen im Bereich $V_{BG} = -1 \text{ V}$ und $V_{BG} = 3,7 \text{ V}$ sind nur schwach bzw. gar nicht von der Gate1-Spannung abhängig. Da das Backgate wie bereits erwähnt auf die komplette Probe und somit auf alle Inseln unter allen Gates gleichzeitig wirkt, wird mit der Änderung der Backgate-Spannung auch der Zustand der anderen beiden Inseln beeinflusst. Eine isolierte Betrachtung einer Insel ist bei Verwendung des Backgates folglich nicht möglich. Vielmehr wirkt das Backgate auch auf SET3 und das dort befindliche Dotieratom. In Abbildung 6.20 sind die dadurch verursachten Leitwertspitzen gut zu erkennen. Abbildung 6.19 wurde bei $V_{g3} = 0,6 \text{ V}$ aufgenommen, die beiden Peaks liegen für diese Gatespannung in Abbildung 6.20 bei $V_{BG} \approx 0,5 \text{ V}$ und $V_{BG} \approx 3,7 \text{ V}$. Bei $V_{g3} = 1 \text{ V}$ ist die Linie der linken Leitwertspitze um etwa $1,5 \text{ V}$ nach links, also zu niedrigerer Backgatespannung hin verschoben, während die rechte davon nicht betroffen ist. Abbildung 6.20 ist aus mehreren aufeinanderfolgenden Messungen, die zusammen mehrere Tage dauerten, zusammengesetzt. Die Verschiebung erfolgte irgendwann zwischen der ersten und letzten Messung aufgrund Ladungsrekonfiguration. Die Messung zu Abbildung 6.19 erfolgte direkt nach den Messungen zu Abbildung 6.20. Berücksichtigt man die Verschiebung des linken Peaks stimmen die Positionen exakt überein und sind somit ebenfalls die Signaturen des Dotieratoms.

Abbildung 6.20 zeigt den differentiellen Leitwert in Abhängigkeit der Backgate-Spannung und der Gate 3-Spannung. Es sind wieder die äquidistanten periodischen Linien mit negativer Steigung der Coulomb-Blockade-Oszillationen zu sehen, die wie zuvor von der Wirkung von zwei Gates auf eine Insel herrühren. Die durch das Dotieratom verursachten starken Leitwertspitzen, sind ebenfalls klar zu erkennen. Zusätzlich zu diesen Charakteristiken gibt es weitere Linien sowohl negativer als auch positiver Steigung, die die Coulomb-Blockade-Linien unterbrechen und zu einer Versetzung dieser führen (vgl. Abbildung 6.21). Die Linie mit der negativen Steigung bzw. der Versatz der Coulomb-Peaks entlang dieser, kann durch einen benachbarten Quantenpunkt, der über eine Tunnelbar-

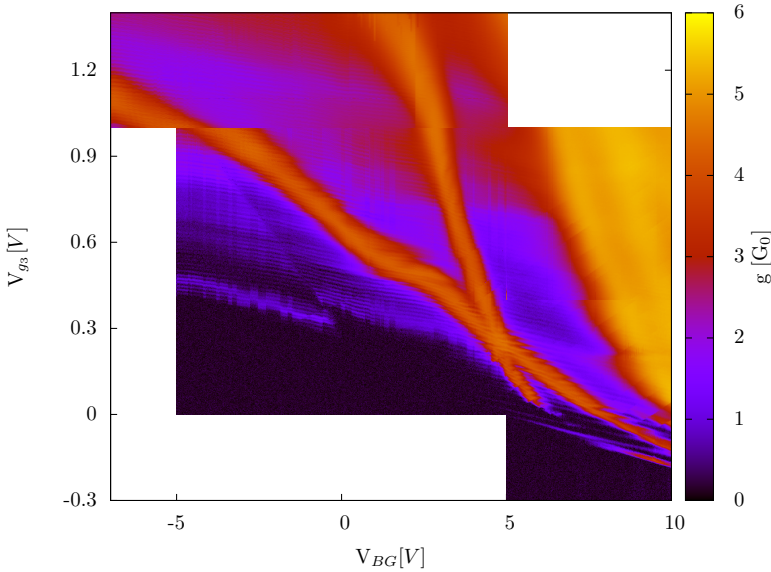


Abbildung 6.20: *Differentieller Leitwert in Abhängigkeit der Gate 3-Spannung V_{g3} und der Backgate-Spannung V_{BG} . Das Diagramm ist aus mehreren Messungen zusammengesetzt, für die weißen Bereiche existieren keine Messwerte.*

riere mit dem SET verbunden ist, entstehen. Bei jedem Ladevorgang des Quantenpunkts werden die Coulomb-Peaks des SET dabei um $\Delta V_g = \frac{\Delta q}{C_g}$ verschoben, wobei Δq der auf der Insel induzierten Ladung und C_g der Kapazität zwischen Gate und Insel entspricht [MPZ+10].

Die Linien mit positiver Steigung lassen sich mittels der klassischen Theorie nicht erklären, da Inseln, die mittels Tunnelbarrieren an Source und Drain gekoppelt sind, stets Linien mit negativer Steigung erzeugen. Ursache kann wieder ein Floating Gate sein, wie bereits in Kapitel 5.6 gezeigt. Mit Ausnahme des zweiten Gates, welches in diesem Fall rein kapazitiv auf diese zusätzlich Insel wirkt, entspricht der Mechanismus dem beim Einzelgate. Die lineare Wirkung der Gatespannung wird durch die diskrete Ladungsänderung des Floating Gates überlagert, an der Position der Verschiebung der Coulomb-Oszillationen ändert sich die Besetzungszahl des Floating Gates um ein Elektron. Das Schaltbild dieser Konfiguration ist zusammen mit einer Simulation des daraus resultierenden Stabilitätsdiagramms in Abbildung 6.22 dargestellt. In diesem Fall

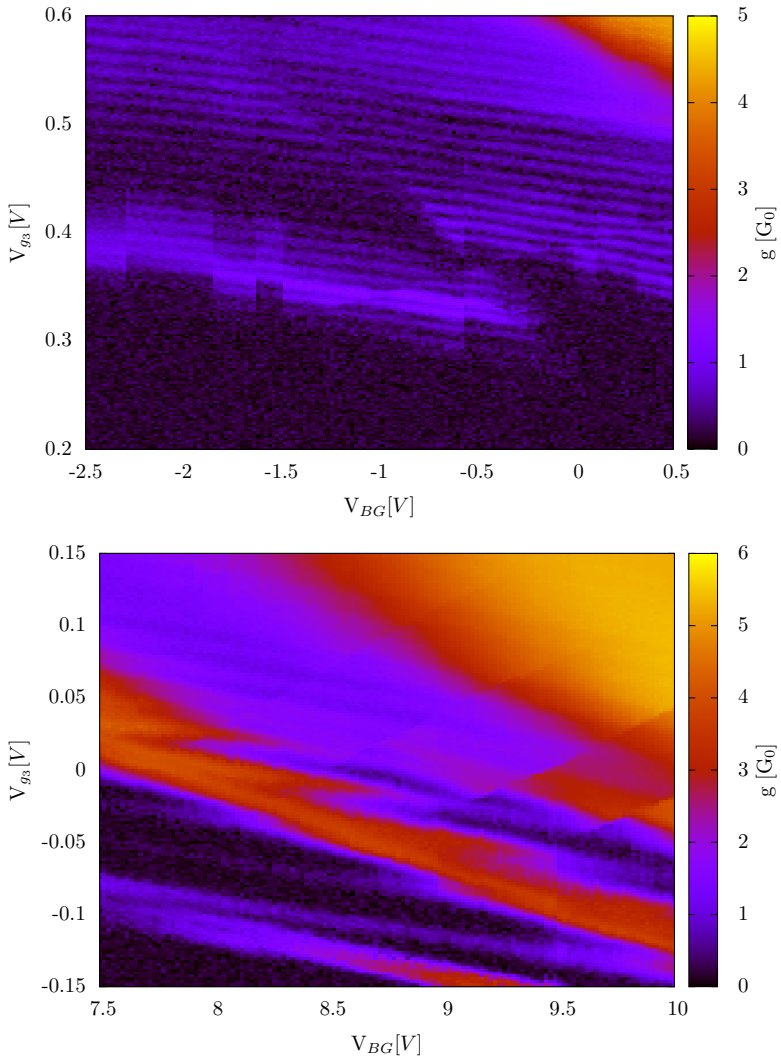


Abbildung 6.21: *Differentieller Leitwert in Abhängigkeit der Gate 3-Spannung V_{g3} und der Backgate-Spannung V_{BG} , vergrößerte Ausschnitte aus Abbildung 6.20. Die Linien mit negativer Steigung der Coulomb-Blockade-Oszillationen sind durch weitere Linien mit negativer und positiver Steigung unterbrochen. Erklärung im Text.*

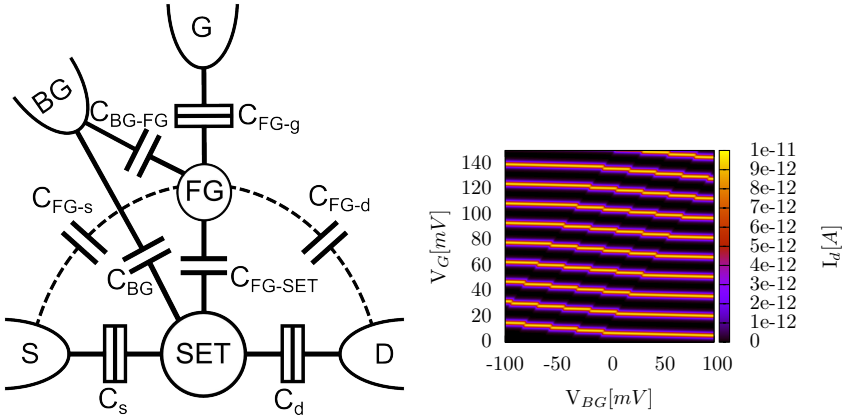


Abbildung 6.22: Schematisches Schaltbild mit den Kapazitäten zwischen den Gates und dem Floating Gate. Abbildung 5.24 wurde dabei um das Backgate und die daraus resultierenden Kapazitäten zwischen Backgate und SET sowie Backgate und FG erweitert. Die Wechselwirkung zwischen Backgate und Floating Gate führt zu einem Verkippen der Stufen entlang der V_G -Achse und somit zu den Linien mit positiver Steigung im Stabilitätsdiagramm. Rechts ist beispielhaft ein simuliertes Stabilitätsdiagramm für diese Gatekonfiguration mit Linien mit positiver Steigung gezeigt. Aufgrund begrenzter Rechenkapazität wurden nur die ersten 5 Elektronen auf dem FG simuliert, im metallischen FG setzen sich die Linien weiter periodisch fort.

sind die Linien positiver Steigung äquidistant, somit ist nur ein Floating Gate aktiv. Verschiedene oder variierende Abstände zwischen den Linien können durch mehrere Inseln im Gate realisiert werden.

Mit den Multigate-Proben lassen sich unterschiedliche Kopplungsstärken zwischen den Inseln realisieren und teilweise auch modifizieren, was sich in verschiedenen Stabilitätsdiagrammen und Wabenstrukturen deutlich macht. Mittels des Backgate lässt sich dabei das Fermi-Niveau über die gesamte Probe variieren und die Barrierenhöhe zwischen den Gates verändern. Durch eine hohe Backgatespannung lässt sich sogar ein MOS-SET zu einem MOS-FET umschalten [AFSb]. Die aufgetretenen Effekte sind dabei alle mittels des elektrostatischen Modells erklärbar und die Simulationen zeigen sehr gute Übereinstimmung mit den Messungen. Gelingt es, die auch in den Einzelgate-Strukturen auftretenden Effekte wie Floating Gate oder Dotieratome im SET-Bereich vorherzusagen oder sogar gezielt einzubringen, erschließen sich den int-

rinsisch bereits vielseitigen Einzelektronentransistoren neue Einsatzgebiete [Rog10][PWJ⁺10].

Kapitel 7

SET-FET Hybride

Wie bereits mehrfach erwähnt, bieten Einzelelektronen-Bauelemente eine Vielzahl an möglichen Anwendungen und Einsatzgebieten [Lik99]. Um diese auch bei Raumtemperatur und somit in großem Stil einzusetzen, ist ein Schrumpfen bis auf wenige Nanometer nötig. Dabei erhöht sich nicht nur die mögliche Betriebstemperatur, sondern auch die Packungsdichte der Bauteile. Der Nachteil dabei ist eine geringere Spannungsverstärkung und Ladungsverstärkung der Einzelelektronentransistoren [HLL02]. Ebenfalls nachteilig wirkt sich die geringe Stromdichte der SETs aus. Einige der vorgeschlagenen Schaltungen für Einzelelektronentransistoren sind im Wesentlichen Kopien der bisherigen CMOS-Schaltungen, die jedoch SETs mit Spannungsverstärkung erfordern [Tuc92]. Bisher wurden allerdings nur wenige solcher SETs realisiert und diese zeigen Spannungsverstärkung meist nur bei tiefen Temperaturen [OTY⁺00][ZKM92]. Ein kompletter Ersatz der konventionellen CMOS-Transistoren durch Einzelelektronentransistoren erscheint somit fraglich. Eine Möglichkeit, die fehlende Spannungsverstärkung zu kompensieren, ist die Kombination mit einem Feldeffekttransistor (FET). Diese SET-FET Hybride ermöglichen neue Anwendungen insbesondere im Bereich der neuronalen Netze sowie der mehrwertigen Logik [MI06]. Es lassen sich integrierte Schaltungen mit einem Verstärkungsfaktor größer Eins realisieren, die in der Lage sind, weitere Transistoren zu schalten [KLL⁺06]. Ebenso ist es möglich, spezielle Speicherzellen, sogenanntes SRAM (static random access memory), auf Basis der SET-FET Architektur herzustellen [WHL11]. In diesem Abschnitt werden SET-

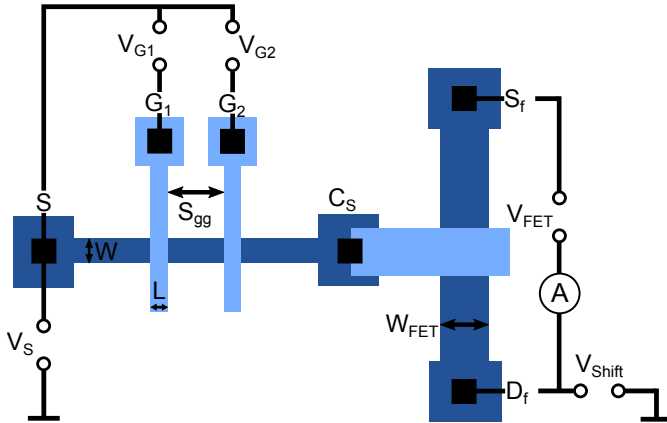


Abbildung 7.1: Skizziertes Schaltbild für den SET-FET-Hybrid. Beide SET-Gates haben eine eigene Spannungsquelle, die beide auf Source referenziert sind. Das FET-Potential kann mittels V_{Shift} relativ zum SET-Teil verschoben werden. Die FET-Gate-Spannung wird über V_S gesteuert. Mit dem Hilfskontakt C_S lässt sich der SET charakterisieren, die Beschaltung hierfür ist nicht eingezeichnet.

FET Hybride besprochen, die mit dem CMOS-kompatiblen Prozess von AFSID gefertigt wurden.

Der Aufbau der verwendeten SET-FET-Proben ist in Abbildung 7.1 skizziert. Der SET-Teil ist ein Doppelgate-SET wie in Kapitel 6.1, Aufbau und Eigenschaften dieses SET-Teils sind im Wesentlichen identisch zu den dort diskutierten. Das FET-Gate ist über den Anschluss C_S mit dem SET verbunden. Der C_S -Anschluss ermöglicht die Funktionsprüfung und Charakterisierung des SET und des FETs als einzelnes Bauteil. Für den eigentlichen SET-FET-Betrieb wird dieser Anschluss nicht benötigt und nicht kontaktiert. Der zusätzliche C_S -Kontakt wirkt sich in bestimmten Fällen störend aus, da durch die Zuleitungen und Pads die Kapazität des FET-Gates massiv vergrößert wird. Aus diesem Grund wurden auch Proben ohne das C_S -Terminal gefertigt, bei denen das FET-Gate nur kapazitiv an den SET gekoppelt ist und somit ein Floating-Gate mit geringer Kapazität darstellt. Bei diesen Proben lagen jedoch stets starke Leckströme am Gate vor oder es konnte keine Leitfähigkeitsänderung durch eine angelegte Gatespannung erzielt werden, so dass keine der getesteten Proben dieser Art funktionsfähig war. Es wurden wie zuvor Strukturen mit unterschiedlichen Dimensionen des

SET-Teil realisiert. Die Kanalbreite W und die Gatelänge L beträgt jeweils 40 nm oder 60 nm, der Abstand zwischen den Gates 50 nm oder 70 nm. Der FET-Kanal ist bei allen Proben gleich und hat eine Breite von $W_{\text{FET}} = 500$ nm. Für den SET-Teil entsprechen die Anschlüsse S und C_S Source und Drain. Wird im Folgenden von Source gesprochen, so ist stets der Anschluss S gemeint, obwohl damit meistens die Spannung am FET-Gate gesteuert wird. Die Bezeichnung G1 und G2 wird sowohl für die Gates 1 und 2 als auch für die Inseln unter den diesen Gates verwendet. Die jeweilige Bedeutung ist aus dem Zusammenhang ersichtlich.



Abbildung 7.2: Die Referenzierung von Gate 1 & 2 auf S (s. Abbildung 7.1) führt zu einem festen Potential zwischen S und $G2$. Da an $G1$ eine hohe positive Spannung angelegt ist, wird dieser als „offen“ betrachtet und ist daher nicht eingezeichnet.

In Abbildung 7.1 ist die Probe mit Beschaltung gezeigt. In diesem Fall sind die beiden Spannungsquellen der SET-Gates V_{G1} und V_{G2} auf S referenziert. Eine Änderung von V_S verschiebt S , $G1$ und $G2$ gleichermaßen. An $G1$ liegt eine hohe Spannung an und kann als „offen“ betrachtet werden, daher wird er im Folgenden nicht betrachtet und ist in Abbildung 7.2 nicht eingezeichnet. Diese Konfiguration ist in Abbildung 7.2 skizziert, die Änderung aufgrund V_S ist durch den roten Rahmen dargestellt. Wird an beide Gates eine hohe positive Spannung angelegt, so dass

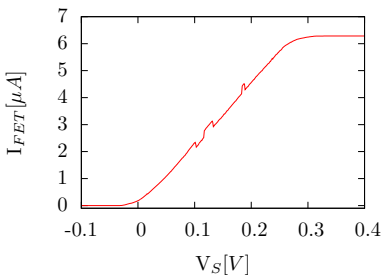


Abbildung 7.3: $I_{\text{FET}} - V_S$ -Charakteristik bei offenen SETs. $V_{\text{FET}} = 0,1$ V, $V_{G1} = V_{G2} = 0,8$ V, $V_{\text{Shift}} = 0$ V, $T = 4,2$ K.

beide SETs komplett geöffnet sind, erhält man die $I_{FET}-V_S$ -Kennlinie des FETs, welche in Abbildung 7.3 gezeigt ist. Die Sättigung des Stroms bei steigender Gatespannung ist vermutlich auf die sehr dünne Schichtdicke von 8 nm zurückzuführen, da trotz höherer Gatespannung keine weitere Ladungsträgeranreicherung erzielt werden kann. Die Stufen in der Kennlinie haben ihren Ursprung wahrscheinlich im Random Telegraph Signal und sind keine spezielle Besonderheit der Hybrid-Struktur. Eine Verringerung der Gate2-Spannung V_{G2} bedeutet ein Anheben der Niveaus von G2 in Bezug auf S in Abbildung 7.2. Hält man V_{G1} unverändert auf der hohen positiven Spannung fest und verringert V_{G2} so bleibt die FET-Kennlinie praktisch unverändert bis das unterste Level von G2 über S angehoben wird. In Abbildung 7.4 ist diese Situation

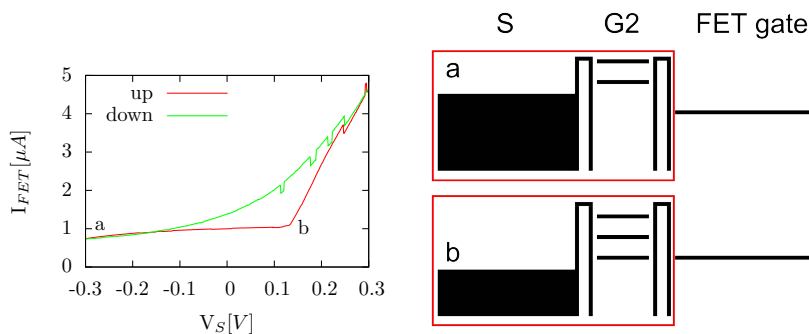


Abbildung 7.4: $I_{FET} - V_S$ -Charakteristik ($V_{G1} = 0,8$ V, $V_{G2} = -0,055$ V, $V_{FET} = 0,1$ V). In Punkt a ist das FET-Gate aufgrund der Vorgeschichte noch auf einem positiven Potential, in Punkt b befindet es sich auf einer Höhe mit dem untersten Niveau von G2.

gezeigt. Im Punkt a ist das FET-Gate immer noch auf einem positiven Potential aufgrund einer vorhergegangenen Messung. Eine Erhöhung von V_S hat keine Auswirkung, abgesehen von leichter kapazitiver Kopplung, da das FET-Gate unterhalb des untersten Levels von G2 steht und somit keine freien Niveaus für die Elektronen verfügbar sind. Erst wenn das unterste Level von der Insel auf Höhe des FET-Gates ist (Punkt b), ist ein Elektronentransport erneut möglich und das FET-Gate folgt wieder S. Eine anschließende Verringerung von V_S hebt das unterste Niveau der Insel über das FET-Gate und das Potential des FET-Gates sollte auf dem aktuellen Wert bleiben, da ein Ladungstransport über G2 nicht

mehr möglich ist. In Abbildung 7.4 (Kurve „down“) fällt jedoch mit kleiner werdendem V_S auch der Strom durch den FET, da möglicherweise das FET-Gate durch Leckströme geladen wird. Die weitere Verringerung von V_{G2} resultiert in einer Verschiebung des Punkts b zu höheren Werten von V_S . Aus Abbildung 7.5 lässt sich die Verschiebung aufgrund der Änderung von V_{G2} zu $\Delta V_S(b) = -0,54 \cdot \Delta V_{G2}$ ermitteln.

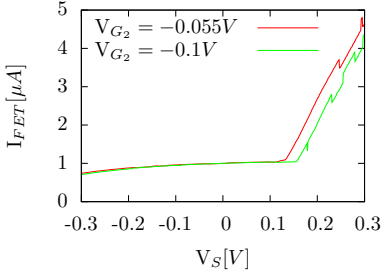


Abbildung 7.5: $I_{FET} - V_S$ -Charakteristik für zwei unterschiedliche G_2 -Spannungen. Die Verschiebung zeigt an, wie weit sich das unterste Niveau von G_2 aufgrund der V_{G2} -Änderung bewegt.

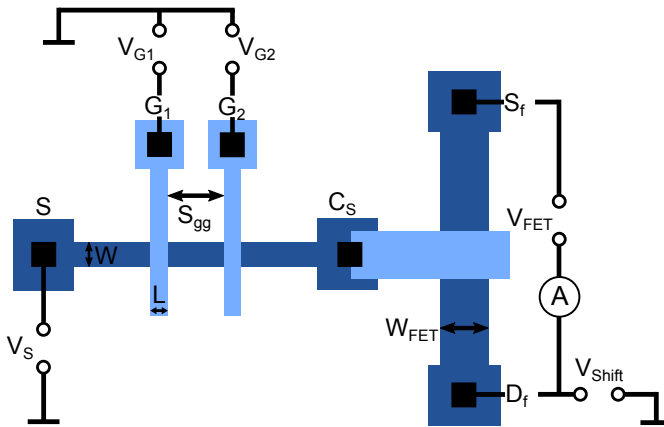


Abbildung 7.6: Beschaltung der SET-FET Probe mit den SET-Gates auf Erde referenziert. Die weitere Beschaltung ist analog zu Abbildung 7.1.

Anstatt die beiden SET-Gates auf S zu referenzieren, werden sie nun direkt auf die gemeinsame Masse gelegt. Das zugehörige Schaltbild findet sich in Abbildung 7.6. In Abbildung 7.7 ist die Kennlinie eines anderen FETs für unterschiedliche V_{FET} -Spannungen gezeigt. Dabei wurde die Gate-Spannung entweder direkt an das FET-Gate-Terminal C_S angelegt oder an den Anschluss S , so dass in diesem Fall noch die beiden SET-

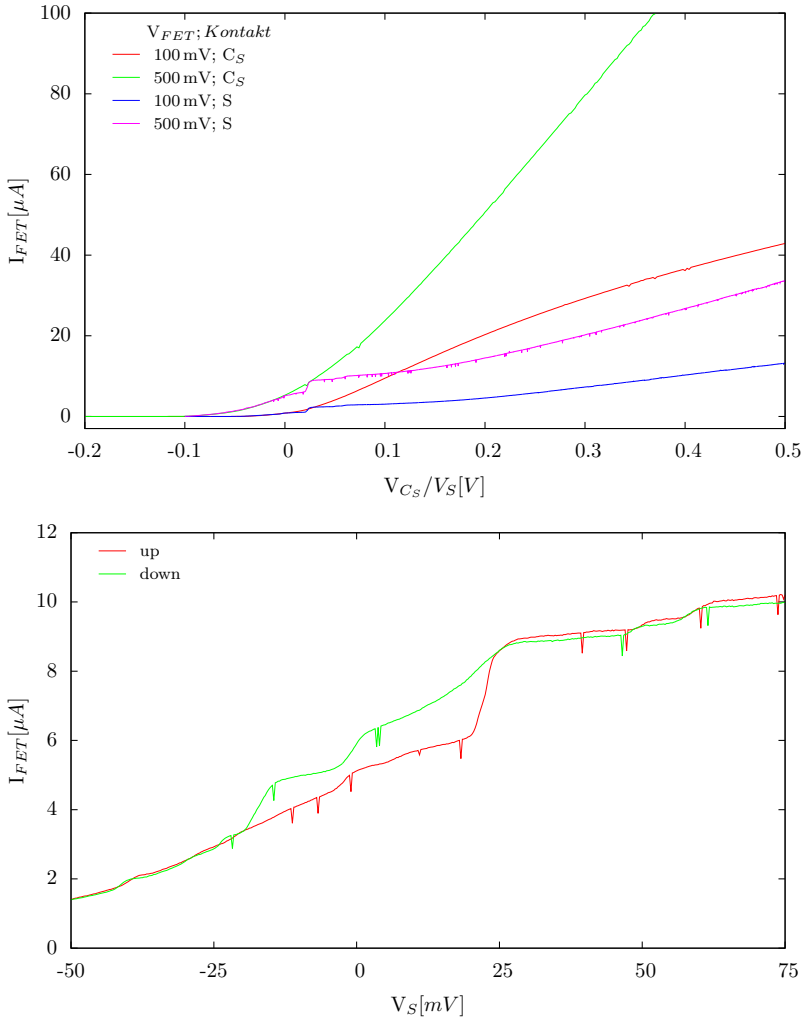


Abbildung 7.7: Oben: $I - V_G$ -Charakteristik eines FETs für zwei verschiedene V_{FET} -Spannungen (100 mV, 500 mV). Die Gate-Spannung liegt an zwei unterschiedlichen Kontakten (S und C_S) an. Unten: Vergrößerter Bereich einer Messung ($V_{FET} = 500$ mV; Kontakt: S) zeigt Stufen und Hysterese in der Kennlinie des FETs aufgrund der Energieniveaus im SET.

Gates dazwischen lagen. Wurde die Spannung direkt am Gate mittels Kontakt C_S aufgeprägt, so erhielt man die übliche FET-Kennlinie. Wur-

de die Spannung an S angelegt, so beobachtete man bei $V_S \approx 28$ mV ein Abknicken der Kennlinie, mit deutlich geringerem Strom I_{FET} für steigende Gatespannung V_S im Vergleich zur „ V_{C_S} -Kennlinie“. Die Anwesenheit der beiden SETs führt in diesem Fall zu einer niedrigeren effektiven Spannung am FET-Gate. Da in dieser Konfiguration beide Gates gegen Masse referenziert sind, ergeben sich folgende drei Übergänge: Source – SET1, SET1 – SET2, SET2 – FET-Gate. Das FET-Gate muss sich wie zuvor beschrieben an den Energieniveaus von SET2 ausrichten. Entsprechend müssen die anderen Übergänge ebenfalls passen, bzw. es ist immer nur das nächstniedrigere Niveau erreichbar. Die an den SET-Gates angelegte Spannung V_{G_1} und V_{G_2} ist mit 0,6 V vermutlich nicht ausreichend hoch, so dass die SETs nicht als offen betrachtet werden können. Anhand der I_d - V_g -Kennlinien, die in Abbildung 7.8 für die beiden SETs dargestellt sind, sieht man eindeutig diesen Effekt. Insbesondere SET1 befindet sich bei einer Gate-Spannung von 0,6 V im Tiefpunkt einer Coulomb-Blockade und hat somit eine reduzierte Leitfähigkeit. Bei Gate 1 stieg zudem der Leckstrom über das Gate für Spannungen $V_{G_1} > 1$ V stark an, so dass höhere Gate-Spannungen nach Möglichkeit vermieden wurden.

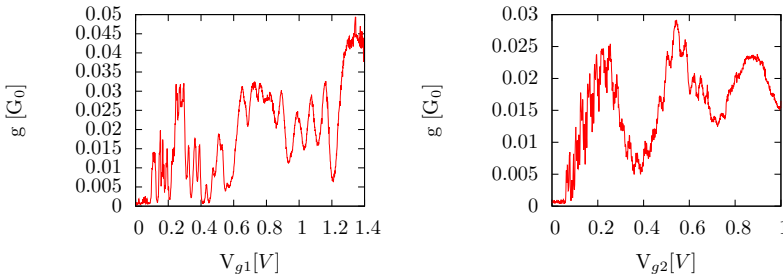


Abbildung 7.8: $I_d - V_g$ -Charakteristik von SET1 (links) und SET2 (rechts). Das andere Gate wurde auf $V_{G_2} = 0,9$ V bzw. $V_{G_1} = 1$ V konstant gehalten.

Die FET-Struktur wurde mit derselben Technologie wie die SET-Strukturen gefertigt, das heißt ebenfalls mit Spacern neben dem Gate, welche die Fermikante modulieren und zu Tunnelbarrieren führen können. Bei einzelnen Proben konnten Coulomb-Blockade-Oszillationen beim FET auch tatsächlich beobachtet werden. Obwohl die Oszillation nur schwach ausgeprägt und sehr gering in der Anzahl waren, wurde der FET, um unerwünschte Coulomb-Effekte zu vermeiden, stets im nicht-

linearen Bereich betrieben. Wird die Spannung an Kontakt S angelegt, ändert sich der Strom durch den FET nicht gleichförmig mit der angelegten Spannung sondern es bilden sich Stufen in der Kennlinie aus. Ebenfalls wird eine gewisse Hysterese in den Kennlinien sichtbar, je nach Sweep-Richtung der Spannung. Diese Effekte, die nicht auftreten wenn die Spannung an C_S anliegt und somit durch die SETs verursacht werden, werden nachfolgend erklärt.

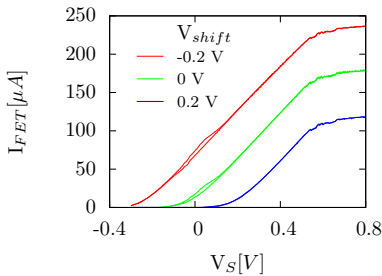


Abbildung 7.9: FET-Kennlinie für verschiedene Werte von V_{Shift} . Positive Werte verschieben die Kennlinie nach rechts, negative nach links. Durch passende Wahl von V_{Shift} lässt sich die Kennlinie so verschieben, dass Stufen und Hysterese der Kennlinie für beliebige Werte der restlichen Spannungen stets beobachtbar sind. $V_{FET} = 1 \text{ V}$, $V_{G_1} = 0,9 \text{ V}$, $V_{G_2} = 0,5 \text{ V}$.

Die Position der zu untersuchenden Effekte auf der V_S -Achse hängt maßgeblich von den Eigenschaften der SETs ab. Diese können nur beobachtet werden, wenn die Spannungsänderung am Gate auch eine Stromänderung im FET nach sich zieht, im Bereich unterhalb der Schwellspannung sowie im Sättigungsbereich ist dies daher nicht möglich. Am Besten geeignet ist generell ein Bereich mit großer Steilheit $S = dI_{FET}/dV_S$. Mittels der zusätzlichen Spannung V_{Shift} lässt sich das Potential des FETs relativ zum SET-Teil verschieben, so dass unabhängig aller restlichen Spannungen die FET-Kennlinie in Bezug auf V_S frei positioniert werden kann. Die Verschiebung der FET-Kennlinie durch V_{Shift} ist in Abbildung 7.9 dargestellt.

In Abbildung 7.10 ist der Strom über den zuvor bereits in Abbildung 7.3 - Abbildung 7.5 verwendeten FET I_{FET} in Abhängigkeit der Source-Spannung V_S für verschiedene Spannungen an Gate 2 V_{G_2} gezeigt. Die Messung erfolgte jeweils von $V_S = -0,05 \text{ V}$ bis $V_S = 0,05 \text{ V}$ und wieder zurück zu $V_S = -0,05 \text{ V}$. Es ist für alle V_{G_2} -Spannungen eine deutliche Hysterese zwischen positiver und negativer Messrichtung vorhanden. Die Messrichtung ist für die Kennlinie ganz links ($V_{G_2} = -47 \text{ mV}$) durch die

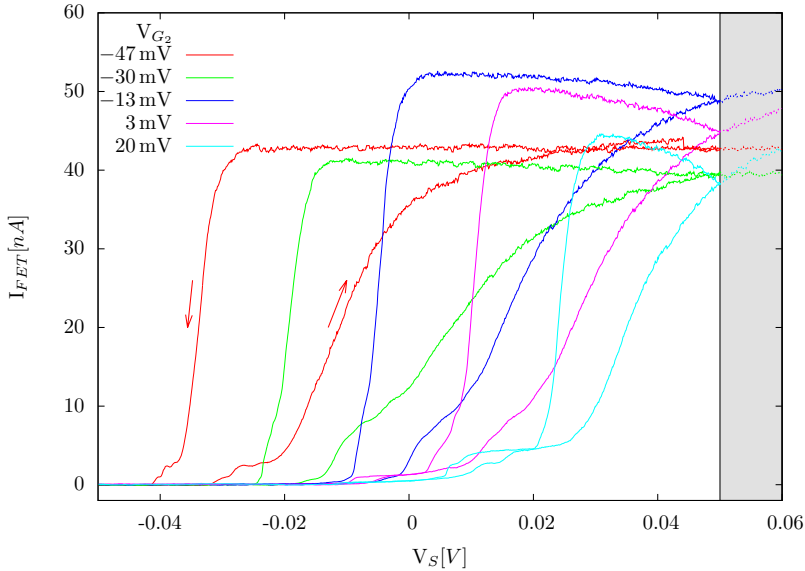


Abbildung 7.10: I_{FET} in Abhängigkeit von V_S für verschiedene V_{G_2} bei Gatekonfiguration wie in Abbildung 7.6. Die Messrichtung ist durch die Pfeile angedeutet und für alle Kennlinien gleich. Für alle V_{G_2} ist eine deutliche Hysterese sichtbar, die durch die Energieniveaus des SETs zustandekommt. $V_{G_1} = 0,8 \text{ V}$, $V_{FET} = 20 \text{ mV}$. Die gepunktete Kurve im grauen Bereich ist die \downarrow -Messung an der Geraden $V_S = 0,05 \text{ V}$ gespiegelt. Erklärung im Text.

Pfeile gekennzeichnet und gilt für die anderen analog. Werden die Gates wie in Abbildung 7.6 skizziert auf Masse referenziert, so ist das Potential der Insel konstant für eine feste Gatespannung. Abbildung 7.11 zeigt die Ausrichtung des FET-Gates in Bezug auf die SET-Niveaus. In der Mitte ist jeweils der SET mit seinen untersten Niveaus skizziert, links davon befindet sich Source, rechts das FET-Gate. Die durchgezogenen Linien stellen den aktuellen Zustand dar, der Zustand aus dem vorigen Bild ist gestrichelt dargestellt. Im Ausgangszustand (a) befinden sich Source und FET-Gate auf dem Masse-Potential, das SET Potential wurde gerade festgelegt. Erhöhung der Source-Spannung führt zu einer Verschiebung des Potentials aufgrund der kapazitiven Kopplung (b). Erreicht das SET-Niveau die gleiche Höhe wie das FET-Gate, so ist ein Elektronentransport vom FET-Gate zu Source möglich (c). Das FET-Gate bewegt sich jetzt im Einklang mit dem SET-Niveau (d) solan-

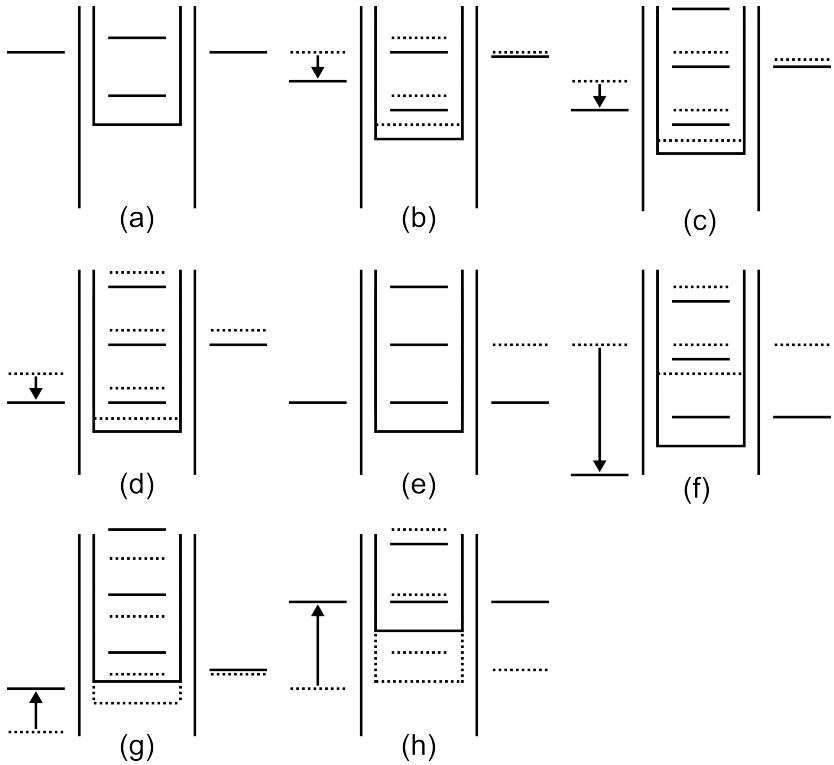


Abbildung 7.11: Skizze der Ausrichtung des FET-Gates anhand der SET-Niveaus bei steigender V_S -Spannung (a) - (e). Hysterese im FET-Strom aufgrund der Energieniveaus im SET (f) - (h). Erklärung im Text.

ge bis Source das nächste Niveau des SETs erreicht (e) und Elektronen erneut zu Source fließen können, bis sich das FET-Gate-Potential wieder auf dem SET-Potential befindet. Da die (Ent-)Ladeströme durch die Tunnelbarrieren begrenzt sind, kann die Angleichung an das SET-Level kurze Zeit dauern. Ist das unterste Niveau des SETs erreicht, führt eine Erhöhung der Source-Spannung aufgrund der kapazitiven Kopplung zu einer weiteren Absenkung des SET-Potentials und das FET-Gate wird weiter positiv geladen (f). Wird die Source-Spannung reduziert, bleibt das FET-Gate-Potential an der letzten Position quasi hängen (g), da sich das Source-Potential unterhalb des untersten SET-Niveaus befindet und folglich kein Elektronentransport auf das FET-Gate erfolgen kann. Erst wenn sich Source und das unterste SET-Niveau auf gleicher Höhe

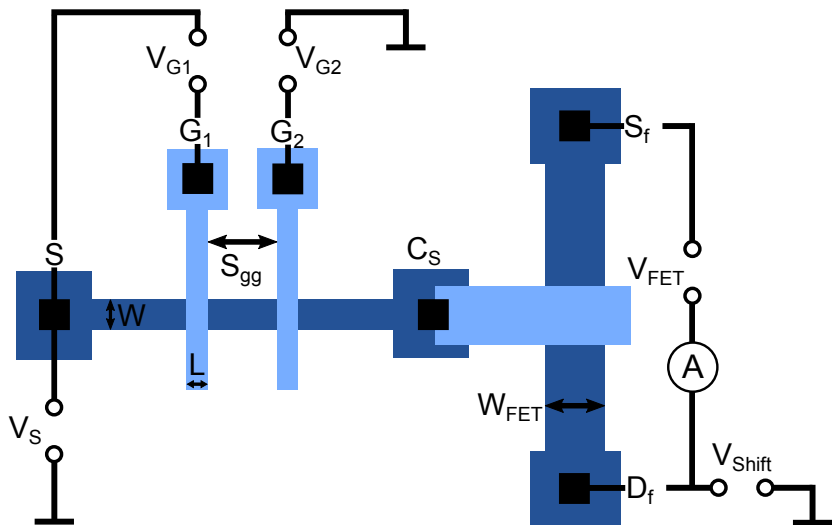


Abbildung 7.12: Beschaltung der SET-FET Probe mit Gate1 auf Source referenziert und Gate 2 auf Masse. Die weitere Beschaltung ist analog zu Abbildung 7.1.

befinden, ist dies wieder möglich und das FET-Gate richtet sich wieder am SET-Niveau aus (h). Die Verschiebung der Kennlinien nach rechts für höhere Werte von V_{G_2} lässt sich durch asymmetrische Tunnelbarrieren mit der breiteren zwischen Source und SET erklären. Die Tunnelraten hängen von der Potentialdifferenz zwischen Insel und Reservoir ab. Durch Anlegen einer höheren positiven Spannung an G_2 und der daraus resultierenden Potentialabsenkung, wird eine höhere V_S -Spannung benötigt, bevor maßgebliches Tunneln erreicht wird. Bei den Kennlinien mit höherer V_{G_2} -Spannung steigt der Strom auch bei negativer Messrichtung zuerst noch weiter an. Die in Abbildung 7.10 mit Pfeilen gekennzeichneten Messrichtung wurden beginnend bei negativer V_S -Spannung am Stück durchgeführt. Dies deutet auf einen weiter andauernden Ladevorgang des FET-Gates hin, obwohl das Source-Potential bereits wieder angehoben wird, welcher ebenfalls durch die Tunnelbarrieren aufgrund der Begrenzung des Ladungstransfers beeinflusst wird. Die gepunktete Kurve im grauen Bereich in Abbildung 7.10 ist die \downarrow -Messung an der Geraden $V_S = 0,05 \text{ V}$ gespiegelt, die \uparrow -Messung wird durch diese Linie exakt fortgeführt. Bei einer Wartezeit am Ende der \uparrow -Messung bei positiver V_S -Spannung würde der Strom im FET deshalb trotz $V_S = \text{const.}$

noch kurzzeitig weiter ansteigen.

Bei der vorhergehenden Betrachtung wurde SET 1 nicht berücksichtigt. Die an Gate 1 angelegte Spannung betrug bei dieser Messung $V_{G_1} = 0,8 \text{ V}$. Bei dieser Spannung wurden in den entsprechenden Diagrammen (nicht dargestellt) weder Coulomb-Blockade-Oszillationen noch Coulomb-Rauten gesehen, der zugehörige SET kann dadurch als offen betrachtet werden. Unabhängig davon ist die Beschreibung auch bei Anwesenheit eines weiteren SET-Gates generell gültig. Das FET-Gate richtet sich weiterhin an G2 aus, allerdings setzt der Ladungstransport jeweils ein, wenn Source das nächste G1-Niveau erreicht. Da beide Gates auf Masse referenziert sind, ist die Lage der Niveaus zueinander ebenfalls vorgegeben. Die kapazitive Wirkung von Source auf SET 1 ist in diesem Fall stärker als auf SET 2, so dass sich die Position der Niveaus für unterschiedliche V_S leicht verschieben kann. Die Abstände der Niveaus von SET 1 und SET 2 müssen nicht die gleichen sein, so dass es auch zu unregelmäßigen Stufen im Strom I_{FET} kommen kann.

Bisher waren stets beide SET-Gates gleich referenziert, also beide auf Masse oder beide auf Source gelegt. Selbstverständlich können die Gates auch unabhängig voneinander agieren. In Abbildung 7.12 ist eine Schaltung skizziert, bei der Gate 1 auf Source referenziert ist und Gate 2 auf Masse. Die Messung einer weiteren Probe in dieser Konfiguration findet sich in Abbildung 7.13. Das Verhalten der Probe ist hier ähnlich zu der vorhergehenden Konfiguration. Bei dieser Probe konnte auch bei größeren negativen Gatespannungen keine vollständige Stromunterdrückung erreicht werden, der Strom im FET ist hier allgemein höher als in den zuvor gezeigten Messungen. Es sind jedoch ebenfalls Stufen in der Kennlinie sowie eine Hysterese im Stromverlauf vorhanden. Die vorige Erklärung ist hier wiederum gültig, lediglich Gate 1 ist jetzt auf Source referenziert, so dass das Potential zwischen Source und Gate 1 auch bei Änderung von V_S stets fest bleibt und sich wieder nur der Übergang SET 1 – SET 2 ändert. Eine Änderung der Spannung am Gate 1 V_{G_1} hatte auch keine nennenswerte Auswirkung auf die Kennlinie des FETs.

Bei den im Zuge von AFSID hergestellten SET-FET Strukturen lässt sich die FET-Gate-Spannung wirksam mittels des SETs steuern und manipulieren. Die Strom-Spannungs-Kennlinie zeigt nichtlineare Eigenschaften wie Hysterese, die den prinzipiellen Einsatz in Speicherzellen

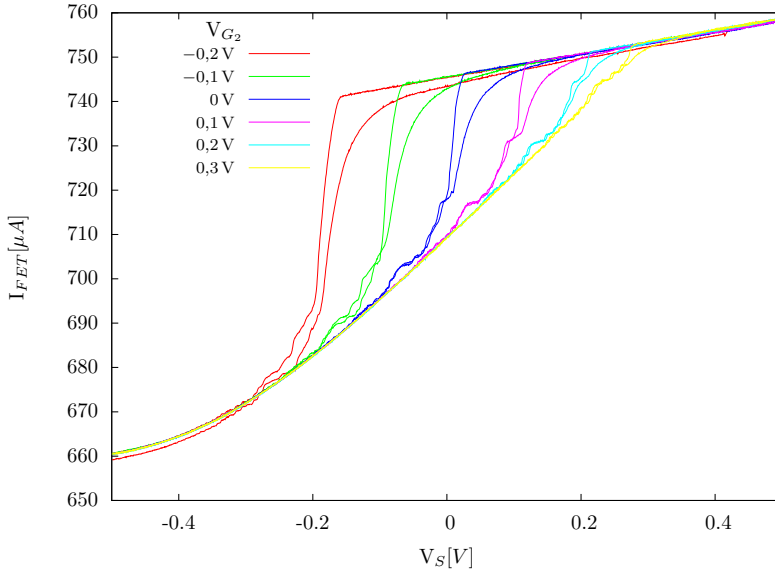


Abbildung 7.13: I_{FET} in Abhängigkeit von V_S für verschiedene V_{G2} bei Gatekonfiguration wie in Abbildung 7.12. Es ist eine deutliche Hysterese mit Stufen im Stromverlauf erkennbar. $V_{FET} = 1\text{ V}$, $V_{G1} = 0,5\text{ V}$, $V_{Shift} = -0,4\text{ V}$.

ermöglichen. Die Stufen in der Kennlinie sind ebenfalls vorhanden, wenn teilweise auch sehr schwach und unregelmäßig. Eine deutliche Verringerung der FET-Gate-Kapazität durch Verzicht auf den C_S -Kontakt und den damit verbundenen Metallkontakten führt hier zu besseren Resultaten, insbesondere in Bezug auf Geschwindigkeit, da dann nur wenige Elektronen durch die Tunnelbarrieren transportiert werden müssen.

Kapitel 8

Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurden die elektrischen Transporteigenschaften von Einzelelektronentransistoren aus Silizium untersucht, deren Funktionsweise auf der Coulomb-Blockade basiert. Die Proben wurden von CEA-Leti auf einer CMOS-Plattform gefertigt, entsprachen dem aktuellsten Stand der Technik und dem gängigen Halbleiterprozess für integrierte Schaltungen. Diese Technik ist daher kompatibel zu der in Prozessoren verwendeten Logikfamilie und kann relativ leicht in dieser zum Einsatz kommen.

Die Transistoren bestanden aus einem Nanodraht mit einem oder mehreren Topgates. Seitlich der Gates befanden sich Spacer, die als Abstandshalter fungierten und den Nanodraht ebenfalls bedeckten. Der undotierte Bereich unter dem Topgate bildete die Insel und die schwach dotierten Bereiche unter den Spacern die Tunnelbarrieren. Mit Hilfe des Topgates konnte das Inselpotential verändert und der Einzelelektronentransistor gesteuert werden.

Fast alle bei Raumtemperatur funktionalen Transistoren zeigten die Coulomb-Blockade-Oszillationen bei tiefen Temperaturen. Aufgrund der sehr kleinen Dimensionen der hergestellten Bauelemente - die kleinsten Abmessungen betragen für die Siliziumdicke 8 nm und für die Drahtdicke sowie die Gatelänge jeweils 20 nm - konnten sehr hohe Ladeenergien von ca. 46 meV erreicht werden, was einer theoretischen Betriebstemperatur

von 159 K entspricht.

Die systematische Untersuchung einer großen Probenanzahl mit unterschiedlichen Abmessungen konnte die Abhängigkeit der elektrischen Eigenschaften von der Inselgeometrie mit einem einfachen Modell bestätigen, zeigte aber gleichzeitig auch eines der größten Probleme für den großflächigen Einsatz der Einzelelektronentransistoren auf, die Variabilität der Proben.

Weitere Untersuchungen befassten sich mit Störstellen die sich herstellungsbedingt in den Proben befanden. Dies waren zum einen Dotieratome, die in den Barrierenbereich diffundiert waren und dort die Tunnelraten maßgeblich beeinflussten, zum anderen bildeten sich im Polysiliziumgate kleine Inseln aus, die ebenfalls Einzelelektroneneffekte verursachten und zu zusätzlichen Linien im Stabilitätsdiagramm des Einzelelektronentransistors führten.

Die serielle Konfiguration zweier oder mehr Inseln führte zu gekoppelten Systemen, bei denen sich die Einzelelektronentransistoren gegenseitig beeinflussen. Abhängig von der Kopplungsstärke zwischen den beiden SETs zeigen sich bestimmte Muster im Stabilitätsdiagramm, die sich durch die verschiedenen Gatespannungen gezielt steuern lassen. Die Verwendung des Substrats als Backgate verhalf dabei zu einem zusätzlichen Freiheitsgrad. Die in den Einzelgate-Strukturen aufgetretenen Effekte wurden auch in den Multigate-Proben wiedergefunden.

Für alle Messergebnisse konnten Modelle für die Inselkonfigurationen entwickelt sowie die entsprechenden Kapazitäten bestimmt werden, so dass die mit einem Simulationsprogramm durchgeführten Simulationen stets eine gute Übereinstimmung mit den gemessenen Daten lieferten.

SET-FET-Hybride, eine Kombination aus einem SET und einem FET, bei der die am FET anliegenden Gatespannung durch den SET gesteuert wird, zeigten in der FET-Kennlinie Stufen sowie Hysterese, die auf die Wirkungsweise des SETs zurückzuführen sind.

Die für AFSID hergestellten Einzelelektronen zeigten stabile Coulomb-Blockade-Oszillationen über einen großen Bereich. Ebenfalls konnten hohe Ladeenergien realisiert werden. Die erfolgreiche Realisierung von SET-FET-Hybriden erlaubt den Einsatz in Bereichen, in denen größere Spannungen und Ströme nötig sind. Um die konventionellen Transistoren erfolgreich zu ersetzen, müssen jedoch die Hauptprobleme wie Variabilität und Betriebstemperatur gelöst werden. Ersteres kann

eventuell durch verbesserte Halbleiterprozesse, wie z.B. Ätzprozesse und modifizierte Dotierprofile erreicht werden. Die Betriebstemperatur hängt hauptsächlich von den Dimensionen des SETs ab. Mit der fortschreitenden Entwicklung der Lithographiemethoden sind Strukturen kleiner 10 nm in wenigen Jahren wahrscheinlich. Eine Steigerung der Betriebstemperatur auf Raumtemperatur rückt somit in greifbare Nähe. Bisherige Logikschaltungen basieren fast ausschließlich auf der zweiwertigen Booleschen Logik. Die Notwendigkeit einer mehrwertigen Logik für zukünftige Fortschritte hat die ITRS in ihrer aktuellen Roadmap aufgeführt [ITR] und SET-FET-Hybride könnten für eine mehrwertigen Logik ebenfalls eingesetzt werden. Einzelelektronentransistoren sind in der Lage, eine Ladungsänderung einzelner Elektronen zu detektieren und sind damit eine der empfindlichsten Ladungssensoren überhaupt. Die Großintegration mittels CMOS-Technologie könnte zu zahlreichen neuen Anwendungsmöglichkeiten führen.

Anhang A

Probenübersicht

Im Rahmen dieser Arbeit wurden verschiedenste Einzelelektronentransistoren untersucht. Eine Übersicht der in dieser Arbeit gezeigten Proben mit den jeweiligen Dimensionen findet sich in Tabelle A.1. Batch „POE-SI“ sind dabei einzelne Proben eines Wafers der zwischen Batch 1 und 2 hergestellt wurde und von der Prozessierung her Batch 2 ähnelt. Es sind nur Proben gelistet die in einer Abbildung verwendet wurden. Für Abbildung 4.2 wurden 35 Messungen verwendet und die Auswertung in Kapitel 5.1 basiert auf den Daten von 63 Proben. Diese sind hier nicht einzeln aufgeführt. Für jede Probe sind zusätzlich zu der Bezeichnung von Batch, Wafer, Die, Scribe und Device die Werte der Siliziumdicke T_{Si} , Drahtbreite W , Gatelänge L und ggf. Abstand zwischen zwei Gates S_{gg} angegeben sowie in welcher Abbildung sie Verwendung findet.

Tabelle A.1: Probenübersicht

BATCH	WAFER	DIE	SCRIBE	DEVICE	T_{S_i} (nm)	W(nm)	L(nm)	S_{gg} (nm)	ABB.
1	1	3	NTLSH3	3	20	40	40	50	6.9,6.10,6.12
1	10	8	FD3P19	3	10	60	80		4.3 oben
1	10	11	PTLSH1	1	10	60	50		5.15,5.16
2	1	3	FD3P19	3	8	50	80		5.2,5.3
2	1	4	FD3P19	6	8	50	30		5.9
2	1	4	NTLSH3	4	8	60	40	70	6.14,6.15,6.16,6.18,6.19, 6.20,6.21
2	1	3	NTRA03	3	8	60	60	50	7.3,7.4,7.5,7.10
2	3	3	NTRA03	3	12	60	60	50	7.13
2	3	3	NTRA03	4	12	60	60	70	7.7,7.8,7.9
2	3	1	PTL70A	5	12	60	100		3.3a),4.1
POESI			NTL30A	1	10	40	50	50	6.2,6.3,6.4,6.5,6.6
POESI			NTL50A	3	10	50	20		5.4b)
POESI			NTL50A	4	10	100	20		5.4a)
POESI			NTL70A	1	10	20	20		5.17,5.18,5.19,5.20,5.22
POESI			NTL70A	2	10	20	40		5.11,5.14,5.21
POESI			NTL70A	3	10	20	60		3.3b),4.3 unten

Literaturverzeichnis

- [AFSa] *AFSID - Atomic Functionalities on Silicon Devices*. <http://www.afsid.eu>, Abruf: 16.02.2014
- [AFSb] *AFSID final report*. http://www.afsid.eu/images/reports/final_report_AFSID.pdf, Abruf: 16.02.2014
- [Ash96] ASHOORI, R. C.: Electrons in artificial atoms. In: *Nature* 379 (1996), Februar, Nr. 6564, 413–419
- [Aug01] AUGKE, R.: *Zusammenhänge zwischen elektrischen Eigenschaften und geometrischen Parametern von Silizium-Coulomb-Blockade-Strukturen*, Universität Tübingen, Dissertation, 2001
- [BB48] BARDEEN, J. ; BRATTAIN, W. H.: The Transistor, A Semiconductor Triode. In: *Phys. Rev.* 74 (1948), Jul, 230–231
- [BDEJ95] BARENCO, A. ; DEUTSCH, D. ; EKERT, A. ; JOZSA, R.: Conditional Quantum Dynamics and Logic Gates. In: *Phys. Rev. Lett.* 74 (1995), May, 4083–4086
- [BDR02] BONET, E. ; DESHMUKH, M. M. ; RALPH, D. C.: Solving rate equations for electron tunneling via discrete quantum states. In: *Phys. Rev. B* 65 (2002), Jan, 045317
- [Bee91] BEENAKKER, C. W. J.: Theory of Coulomb-blockade oscillations in the conductance of a quantum dot. In: *Phys. Rev. B* 44 (1991), Jul, 1646–1656
- [DS00] DEVORET, M. H. ; SCHOELKOPF, R. J.: Amplifying quantum signals with the single-electron transistor. In: *Nature* 406 (2000), August, Nr. 6799, 1039–1046

- [GD91] GRABERT, H. (Hrsg.) ; DEVORET, M. H. (Hrsg.): *Single Charge Tunneling - Coulomb Blockade Phenomena In Nanostructures*. Plenum Press New York, 1991 (Nato ASI Series B 294)
- [GJH⁺11] GOLOVACH, V. N. ; JEHL, X. ; HOUZET, M. ; PIERRE, M. ; ROCHE, B. ; SANQUER, M. ; GLAZMAN, L. I.: Single-dopant resonance in a single-electron transistor. In: *Phys. Rev. B* 83 (2011), Feb, 075401
- [HBS92] HOUTEN, H. van ; BEENAKKER, C. W. J. ; STARING, A. A. M.: Coulomb-Blockade Oscillations in Semiconductor Nanostructures. In: GRABERT, H. (Hrsg.) ; DEVORET, M. H. (Hrsg.): *Single Charge Tunneling - Coulomb Blockade Phenomena in Nanostructures*, Plenum Press New York, 1992 (Nato ASI Series B 294)
- [HLL02] HALDEY, P. ; LIENTSCHNIG, G. ; LAI, M.-J.: Single-electron transistor. In: IGLEMS, M. (Hrsg.) ; WEIMANN, G. (Hrsg.) ; WAGNER, J. (Hrsg.) ; Institute of Physics Conference Series (Veranst.): *Compound Semiconductors 2002, Proceedings of the 29th International Symposium* Bd. 147 Institute of Physics Conference Series, Taylor & Francis, 2002, S. 125
- [Hof06] HOFHEINZ, M.: *Coulomb blockade in silicon nanowire MOSFETs*, CEA-Grenoble, Dissertation, 2006
- [Int] *Intel Technology and Research Page*. www.intel.com/technology/architecture-silicon, Abruf: 26.02.2014
- [ITR] *ITRS - International Technology Roadmap for Semiconductors*. <http://www.itrs.net/reports.html>, Abruf: 23.02.2014
- [Kas00] KASTNER, M.A.: The single electron transistor and artificial atoms. In: *Annalen der Physik* 9 (2000), Nr. 11-12, 885-894
- [Ken07] KENTSCH, C.: *Nichtlineare Magnetotransportuntersuchungen an elektrostatisch eingeschnürten Kanälen in einem*

Silizium-MOSFET, Universität Tübingen, Dissertation, 2007

- [KJV⁺91] KOUWENHOVEN, L. P. ; JOHNSON, A. T. ; VAART, N. C. d. ; HARMANS, C. J. P. M. ; FOXON, C. T.: Quantized current in a quantum-dot turnstile using oscillating tunnel barriers. In: *Phys. Rev. Lett.* 67 (1991), Sep, 1626–1629
- [KLL⁺06] KIM, S. J. ; LEE, C. K. ; LEE, J. U. ; CHOI, S. J. ; HWANG, J. H. ; LEE, S. E. ; CHOI, J. B. ; PARK, K. S. ; LEE, W. H. ; PAIK, I.B. ; KANG, J. S.: Single-Electron Logic Cells and SET/FET Hybrid Integrated Circuits. In: *Journal of Semiconductor Technology and Science* 06 (2006), März, Nr. 1
- [KMM⁺97] KOUWENHOVEN, L. P. ; MARCUS, C.M. ; MCEUEN, P. L. ; SEIGO, T. ; WESTERVELT, R. M. ; WINGREEN, N. S.: Electron Transport in Quantum Dots. In: SOHN, L. L. (Hrsg.) ; KOUWENHOVEN, L. P. (Hrsg.) ; SCHÖN, G. (Hrsg.): *Proceedings of the Advanced Study Institute on Mesoscopic Electron Transport*, Kluwer, 1997
- [KPJR⁺12] KOTEKAR-PATIL, D. ; JAUERNECK, S. ; RUOFF, M. ; WHARAM, D. ; KERN, D. ; JEHL, X. ; WACQUEZ, R. ; SANQUER, M.: Charge granularity in single electron transistors with polysilicon gates. In: *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on*, 2012, S. 89–92
- [Lik99] LIKHAREV, K.K.: Single-electron devices and their applications. In: *Proceedings of the IEEE* 87 (1999), Nr. 4, S. 606–632
- [LJE⁺93] LAFARGE, P. ; JOYEZ, P. ; ESTEVE, D. ; URBINA, C. ; DEVORET, M. H.: Two-electron quantization of the charge on a superconductor. In: *Nature* 365 (1993), September, Nr. 6445, 422–424
- [LLY⁺11] LAI, N. S. ; LIM, W. H. ; YANG, C. H. ; ZWANENBURG, F. A. ; COISH, W. A. ; QASSEMI, F. ; MORELLO, A. ;

- DZURAK, A. S.: Pauli Spin Blockade in a Highly Tunable Silicon Double Quantum Dot. In: *Sci. Rep.* 1 (2011), Oktober, –
- [LS05] LIKHAREV, K. K. ; STRUKOV, D. B.: CMOL: Devices, Circuits, and Architectures. In: CUNIBERTI, G. (Hrsg.) ; RICHTER, K. (Hrsg.) ; FAGAS, G. (Hrsg.): *Introducing Molecular Electronics*. Springer Berlin Heidelberg, 2005 (Lecture Notes in Physics 680), 447-477
- [LTPB93] LENT, C S. ; TOUGAW, P D. ; POROD, W ; BERNSTEIN, G H.: Quantum cellular automata. In: *Nanotechnology* 4 (1993), Nr. 1, 49
- [MF96] MEIRAV, U. ; FOXMAN, E. B.: Single-electron phenomena in semiconductors. In: *Semiconductor Science and Technology* 11 (1996), Nr. 3, 255
- [MI06] MAHAPATRA, S. ; IONESCU, A. M.: *Hybrid CMOS Single-Electron-Transistor Device and Circuit Design*. Artech House, 2006
- [Moo65] MOORE, G. E.: Cramming More Components onto Integrated Circuits. In: *Electronics* 38 (1965), April, Nr. 8, 114–117
- [MPZ+10] MORELLO, A. ; PLA, J. J. ; ZWANENBURG, F. A. ; CHAN, K. W. ; TAN, K. Y. ; HUEBL, H. ; MOTTONEN, M. ; NUGROHO, C. D. ; YANG, C. ; DONKELAAR, J. A. ; ALVES, A. D. C. ; JAMIESON, D. N. ; ESCOTT, C. C. ; HOLLENBERG, L. C. L. ; CLARK, R. G. ; DZURAK, A. S.: Single-shot readout of an electron spin in silicon. In: *Nature* 467 (2010), Oktober, Nr. 7316, 687–691
- [OFN+05] ONO, Y. ; FUJIWARA, A. ; NISHIGUCHI, K. ; INOKAWA, H. ; TAKAHASHI, Y.: Manipulation and detection of single electrons for future information processing. In: *Journal of Applied Physics* 97 (2005), Nr. 3, -
- [OTY+00] ONO, Y. ; TAKAHASHI, Y. ; YAMAZAKI, K. ; NAGASE, M. ; NAMATSU, H. ; KURIHARA, K. ; MURASE, K.: Si com-

- plementary single-electron inverter with voltage gain. In: *Applied Physics Letters* 76 (2000), Nr. 21, 3121-3123
- [PHJ⁺09] PIERRE, M. ; HOFHEINZ, M. ; JEHL, X. ; SANQUER, M. ; MOLAS, G. ; VINET, M. ; DELEONIBUS, S.: Background charges and quantum effects in quantum dots transport spectroscopy. In: *The European Physical Journal B* 70 (2009), 475-481
- [PJW⁺09] PIERRE, M. ; JEHL, X. ; WACQUEZ, R. ; VINET, M. ; SANQUER, M. ; BELLI, M. ; PRATI, E. ; FANCIULLI, M. ; VERDUIJN, J. ; TETTAMANZI, G.C. ; LANSBERGEN, G.P. ; ROGGE, S. ; RUOFF, M. ; FLEISCHER, M. ; WHARAM, D. ; KERN, D.: Sample variability and time stability in scaled silicon nanowires. In: *Ultimate Integration of Silicon, 2009. ULIS 2009. 10th International Conference on*, 2009, S. 249-252
- [PLU⁺92] POTHIER, H. ; LAFARGE, P. ; URBINA, C. ; ESTEVE, D. ; DEVORET, M. H.: Single-Electron Pump Based on Charging Effects. In: *EPL (Europhysics Letters)* 17 (1992), Nr. 3, 249
- [PVWV⁺11] PAULIAC-VAUJOUR, S. ; WACQUEZ, R. ; VIZIOZ, C. ; CHEVOLLEAU, T. ; PIERRE, M. ; PREVITALI, B. ; COMBOROURRE, C. ; BOVE, N. ; ROCHE, B. ; VINET, M. ; JEHL, X. ; SANQUER, M. ; SIXT, P.: Patterning Strategy for Monoelectronic Device Platform in a Complementary Metal Oxide Semiconductor Technology. In: *Japanese Journal of Applied Physics* 50 (2011), Nr. 6, 06GF15
- [PWJ⁺10] PIERRE, M. ; WACQUEZ, R. ; JEHL, X. ; SANQUER, M. ; VINET, M. ; CUETO, O.: Single-donor ionization energies in a nanoscale CMOS channel. In: *Nat Nano* 5 (2010), Februar, Nr. 2, 133-137
- [Rog10] ROGGE, S.: Nanoelectronics: Single dopants learn their place. In: *Nat Nano* 5 (2010), Februar, Nr. 2, 100-101
- [SAP⁺00] SINGLE, C. ; AUGKE, R. ; PRINS, F.E. ; WHARAM, D.A. ; KERN, D.P.: Towards quantum cellular automata opera-

- tion in silicon: transport properties of silicon multiple dot structures. In: *Superlattices and Microstructures* 28 (2000), Nr. 5-6, 429 - 434
- [Sch15] SCHEFZYK, D.: *Quantenbauelemente als aktive Sensoren zur Ladungsbestimmung in elektronischen Nanostrukturen*, Universität Tübingen, Dissertation, 2015
- [SE84] SHKLOVSKII, B. I. ; EFROS, A. L.: *Electronic properties of doped semiconductors*. Springer-Verlag, 1984
- [Sin00] SINGLE, C.: *Transportuntersuchungen an gekoppelten Silizium-Inseln*, Universität Tübingen, Dissertation, 2000
- [SLC+06] SELLIER, H. ; LANSBERGEN, G. P. ; CARO, J. ; ROGGE, S. ; COLLAERT, N. ; FERAIN, I. ; JURCZAK, M. ; BIESEMANS, S.: Transport Spectroscopy of a Single Dopant in a Gated Silicon Nanowire. In: *Phys. Rev. Lett.* 97 (2006), Nov, 206805
- [SN06] SZE, S. M. ; NG, K. K.: *Physics of Semiconductor Devices*. John Wiley & Sons, 2006
- [Sto02] STOPA, M.: Rectifying Behavior in Coulomb Blockades: Charging Rectifiers. In: *Phys. Rev. Lett.* 88 (2002), Mar, 146802
- [Tuc92] TUCKER, J. R.: Complementary digital logic based on the Coulomb blockade. In: *Journal of Applied Physics* 72 (1992), Nr. 9, 4399-4413
- [VOJ+11] VILLIS, B. J. ; ORLOV, A. O. ; JEHL, X. ; SNIDER, G. L. ; FAY, P. ; SANQUER, M.: Defect detection in nano-scale transistors based on radio-frequency reflectometry. In: *Applied Physics Letters* 99 (2011), Nr. 15, 152106
- [WDFE+03] WIEL, W. G. d. ; DE FRANCESCHI, S. ; ELZERMAN, J. M. ; FUJISAWA, T. ; TARUCHA, S. ; KOUWENHOVEN, L. P.: Electron transport through double quantum dots. In: *Rev. Mod. Phys.* 75 (2003), Dec, Nr. 1, S. 1-22

- [WHL11] WEI, W. ; HAN, J. ; LOMBARDI, F.: A Hybrid Memory Cell Using Single-Electron Transfer. In: *Proceedings of the 2011 IEEE/ACM International Symposium on Nanoscale Architectures*. Washington, DC, USA : IEEE Computer Society, 2011 (NANOARCH '11), 16–23
- [WS63] WANLASS, F. ; SAH, C.: Nanowatt logic using field-effect metal-oxide semiconductor triodes. In: *Solid-State Circuits Conference. Digest of Technical Papers. 1963 IEEE International Bd. VI*, 1963, S. 32–33
- [YFH+97] YOO, M. J. ; FULTON, T. A. ; HESS, H. F. ; WILLETT, R. L. ; DUNKLEBERGER, L. N. ; CHICHESTER, R. J. ; PFEIFFER, L. N. ; WEST, K. W.: Scanning Single-Electron Transistor Microscopy: Imaging Individual Charges. In: *Science* 276 (1997), Nr. 5312, 579-582
- [ZKM92] ZIMMERLI, G. ; KAUTZ, R. L. ; MARTINIS, John M.: Voltage gain in the single-electron transistor. In: *Applied Physics Letters* 61 (1992), Nr. 21, 2616-2618